HSSTLP IP
用户指南

（UG041004,V1.10）

（2023-08-30）

深圳市紫光同创电子有限公司

文档版本修订记录

日期	文档版本	修订记录	适用 IP 及对应版本
2020-01-20	V1.0	1. 初稿。	V1.0
2020-02-14	V1.1	1. 增加 APB bridge 模块的描述； 2. 增加支持 64B66B、64B67B 适配功能的描述； 3. 增加支持自定义协议的描述； 4. 增加支持信号摆幅、预加重、接收端 AC/DC、Termination 配置的描述； 5. Msic 页面替换，删去 Couple 组件，并修改对应的参数描述。	V1.1
2020-03-09	V1.2	1. 更改 HSSTLP 电源和复位端口命名，去加重改为预加重，保持命名风格统一； 2. 替换 HSSTLP IP 的界面截图； 3. 更新 TX 预加重功能的参数； 4. HSSTLP 可选端口增加端口配置说明； 5. 字体格式、页码和笔误等修改。	V1.2
2020-04-17	V1.3	1. 增加 APB 地址映射、复位序列小节； 2. 增加第三章节应用实例； 3. 增加第五章节注意事项； 4. 更新界面配置对应的参数说明，增加接口描述； 5. 格式、笔误等修改。	V1.3
2020-07-06	V1.4	1. 更新 HSSTLP IP 的界面截图； 2. 第二章接口说明一节和第六章可选接口说明一节中增加每个接口的时钟域描述，接口说明补充时钟域说明； 3. 第二章接口说明一节 HSSTLP 端口补充不使能复位序列有效描述； 4. 第五章中增加应用限制说明一节； 5. 在第六章可选接口说明一节补充 i_pcs_cb_rst_{0..3}说明； 6. 第二章接口说明一节中复位序列的 done 指示信号增加 bonding 场景下的应用说明； 7. 第五章第二节物理约束一节增加 PLL 差分输入时钟管脚约束说明。	V1.4
2020-11-02	V1.5	1. 第二章接口说明一节 i_tdispctrl_{0..3}[x-1:0] 端口描述笔误修改，RX Fabric Data 订正为 TX Fabric Data； 2. 第三章参数说明一节的表 5 Misc 页参数表中笔误修改，TX De-emphasis Static Setting 订正为 TX Pre-Curse Emphasis Static Setting，TX De-emphasis Static setting 订正为 TX Post-Curse Emphasis Static Setting；	V1.5

日期	文档版本	修订记录	适用 IP 及对应版本
		3. 第三章参数说明一节的表 5 Misc 页参数表中增加 RXPCS Align Timer(0~65535 cycles)配置参数的描述； 4. 第二章复位序列一节增加了复位序列处理 RX PCS 侧 Word Align 信号异常拉低的说明； 5. 更新 HSSTLP IP 的界面截图。	
2021-01-23	V1.5a	1. 删除第二章表 1 接口列表中的“i_p_rx_pll_rst_{0..3}”接口及接口描述； 2. 更新 HSSTLP IP 的界面截图； 3. 第五章应用限制说明一节增加 OOB 相关应用场景的说明； 4. 第三章参数说明一节的表 5 Misc 页参数表中增加“RX Signal-detect Threshold”配置参数的描述。	V1.5a
2021-10-20	V1.6	1. 增加 IP 版本变更记录； 2. 调整手册架构，规范格式； 3. 更新行文规范说明列表名称，参见表 1-1； 4. 添加“2.1.2 适用器件及封装”； 5. 完善 IP 框图相关描述，增加复位序列相关标题描述，参见“2.2 IP 框图”； 6. 完善模块例化相关描述，更新 IP 选择路径界面截图，添加 PDS 版本要求，参见“2.3.1 模块例化”； 7. 更新 Misc 页配置参数 RX Signal-detect Threshold 选项说明，为 45MV、54MV 添加 Reserved 备注，参见表 2-5； 8. 增加 IP 界面配置参数默认值描述，参见“2.3.1 4 参数描述”； 9. 完善 IP 生成后输出文件描述，参见表 2-6； 10. 添加“2.3.5 资源利用”； 11. 增加“2.6 IP 寄存器描述”、“2.7 典型应用”； 12. 增加在对 PLL 的差分时钟输入管脚进行物理约束时的 PDS 版本要求说明，参见“2.8.3 物理约束”； 13. 增加“2.9 IP 调试手段”相关说明。	V1.6
2021-11-18	V1.6b	1. 增加 V1.6b 版本对应的 IP 版本变更记录； 2. 完善 Misc 页可选接口说明列表，增加参数“TX{0..3} External PLL Ready”、“RX{0..3} External PLL Ready”、“TX{0..3}Beacon Enable”、“RX{0..3} Polarity Invert”相关说明，参见表 2-13； 3. 完善 IP 主要特性描述，增加对 3G-SDI 标准	V1.6b

日期	文档版本	修订记录	适用 IP 及对应版本
		协议的支持说明，参见“2.1.1　主要特性”； 4. 更新配置参数列表名称，参见表 2-3、表 2-4、表 2-5、表 2-13； 5. 增加3G-SDI相关配置参数描述，完善四Lane模式相关 Protocol 参数配置描述，参见表 2-3； 6. 完善 IP 输出文件列表，参见表 2-6； 7. 更新术语表，增加 3G-SDI 相关术语解释，参见“3.2　术语表”。	
2022-04-30	V1.7	1. 增加 V1.7 版本对应的 IP 版本变更记录； 2. 更新器件支持说明，参见表 2-1； 3. 更新器件资源利用说明，参见表 2-8； 4. 更新软件版本要求，参见“注意”； 5. 更新对 PLL 的差分时钟输入管脚进行物理约束的软件版本要求说明，参见“注意”； 6. 更正 APB 地址映射列表脚注举例说明，参见脚注“1”。	V1.7
2022-08-31	V1.8	1. 增加 V1.8 版本对应的 IP 版本变更记录； 2. 更新 RX Signal-detect Threshold 参数说明，参见表 2-5； 3. 更新 RX{0..3} Debug Bus 参数说明，完善对 i_loop_dbg 接口的描述，参见表 2-13； 4. 完善 Protocol and Rate 页配置中关于 CUSTOMERIZEDx2/x4 模式的说明，参见表 2-3； 5. 规范格式。	V1.8
2022-10-31	V1.8a	1. 增加 V1.8a 版本对应的 IP 版本变更记录； 2. 更新适用器件支持说明，参见表 2-1； 3. 更新软件版本要求，参见“注意”； 4. 增加 Protocol and Rate 页配置中关于 TX_CUSTOMERIZEDx2/x4 模式的说明，参见表 2-3； 5. 更新器件资源利用说明，参见表 2-8； 6. 更新对 PLL 的差分时钟输入管脚进行物理约束的软件版本要求说明，参见“注意”。	V1.8a
2023-01-10	V1.9	1. 增加 V1.9 版本对应的 IP 版本变更记录； 2. 更新适用器件支持说明，参见表 2-1； 3. 更新软件版本要求，参见“注意”； 4. 更新器件资源利用说明，参见表 2-8； 5. 更新对 PLL 的差分时钟输入管脚进行物理约束的软件版本要求说明，参见“注意”。	V1.9

日期	文档版本	修订记录	适用 IP 及对应版本
2023-08-30	V1.10	1. 增加 V1.10 版本对应的 IP 版本变更记录； 2. 更新复位序列对输入控制信号 i_wtchdg_clr、i_rxckdiv、i_hsst_fifo_clr、i_loop_dbg、i_pcs_cb_rst 以及 i_txckdiv 所在时钟域说明，参见表 2-13； 3. 依据命名规范更新封面及文件命名。	V1.10

IP 版本变更记录

IP 版本	更新说明	发布时间
V1.0	1. 初始版本。	2020-01-10
V1.1	1. IP 界面增加去加重、TX 摆幅配置功能； 2. IP 界面增加接收耦合配置功能； 3. 增加 64B66B，64B67B 位宽模块配置功能； 4. 语法问题包括多驱，位宽不匹配的修复与优化。	2020-02-17
V1.2	1. TX FFE Control 功能优化； 2. 开放了 20/40bit only 模式 elecidle 功能； 3. APB bridge 模式逻辑优化，解决 APB 访问无响应问题； 4. PMA 环回端口控制优化。	2020-03-10
V1.3	1. 修复仅 bonding 场景才设置主从通道问题； 2. CDR 锁定阈值时间调整，改为 25_6U； 3. word align 工作在用户自定义模式，IP 复位序列不再监控同步指示； 4. 增加 IP 界面两个 PLL 使用参考时钟一致性检查，不符合预期上报告警； 5. 开放 PLL 的 LOCK 指示端口。	2020-04-30
V1.4	1. 优化 IP 复位序列逻辑 LUT 级数最大为 6； 2. 增加 RX CLK Slip 端口可配置，支持 PMA bit slip 功能； 3. 解决两个 PLL 不能共享参考时钟问题。	2020-07-06
V1.5	1. 修复环回模式控制端口与 PCIe 默认配置端口有误问题； 2. IP 界面配置 GE 或 XAUI 时，输出 fabric 时钟频率不对问题； 3. IP 复位序列增加当 CDR 锁定状态不稳定，引起 word align 不成功时，进行异常复位恢复的功能。	2020-11-23
V1.5a	1. RX 信号检测阈值默认值改为 45MV，同时 IP 界面开放给用户配置； 2. RX OOB 信号检测功能更新及优化。	2021-01-23
V1.6	1. RX 信号检测阈值默认值改为 72MV，IP 界面开放 45/54/63/72MV 可配置，其中 45MV、54MV 添加说明为 Reserved； 2. PMA 内部 PRBS 默认位宽与用户在 IP 界面配置一致，便于调试； 3. 更新复位序列功能模块，TX LANE 单独复位时，只操作 TX_PD_DRIVER 和 TX_PD_PISO 端口，TX_PD_CLKPATH 不操作，RX LANE 单独复位时，不操作 PD 端口，解决通过端口上下电时造成概率性串扰的问题； 4. 修复 IP 配置界面中勾选 TX External PLL Ready 与 RX External PLL Ready 端口时，实际没有放出端口的问题； 5. UG 更新。	2021-10-20
V1.6b	1. 新增 3G-SDI 默认配置； 2. i_p_rx_polarity_invert_x、i_p_tx_beacon_en_x 端口控制与 i_debug_bus_x 参数解耦，独立控制； 3. UG 更新。	2021-11-18

IP 版本	更新说明	发布时间
V1.7	1. 新增支持器件 PG2L50H 与 PG2L25H； 2. 修复 V1.6b 版本引入再次打开非 3G-SDI 配置的 idf 文件，IPC 配置界面 free_clk 固定显示为 100Mhz 的问题； 3. 修复 V1.6b 版本引入再次打开非 3G-SDI 配置的 idf 文件，IPC 配置界面 APB Bus Enable 固定显示为不使能的问题； 4. UG 更新。	2022-04-30
V1.8	1. IP 界面 RX 信号检测阈值不再开放 45/54MV 配置项，63MV 添加说明为 Reserved； 2. 修复 o_p_pll_lock_x 端口在 idf 文件重新配置 PLL 时，显示有误的问题； 3. 修复 RX Termination Mode 参数在 idf 文件重新打开时，IP 配置界面显示有误的问题； 4. 更新 UI 界面，规范 Label 拼写； 5. UG 更新。	2022-08-31
V1.8a	1. 新增支持器件 PG2L200H； 2. IP 新增 TX_CUSTOMERIZEDx2/x4 协议选项； 3. UG 更新。	2022-10-31
V1.9	1. 新增支持器件 PG2L100HX； 2. 修复 IP 配置界面的 Fabric Clock 频率和实际测得的时钟频率不一致的问题； 3. UG 更新。	2023-01-10
V1.10	1. 修复复位序列对异步输入控制信号未进行跨时钟域同步处理的问题； 2. 修复参考时钟频率选取列表包含非法低频参考时钟频率的问题； 3. 更新 modelsim 仿真脚本，支持高版本 modelsim 仿真工具； 4. UG 更新。	2023-08-30

目录

表目录

图目录

第1章 前言

本章讲述本手册的适用范围、手册结构及相关行文规范，帮助用户快速查找所需的信息。

1.1 关于本手册

本手册为紫光同创推出的 HSSTLP (High Speed Serial Transceiver Low Performance) IP 产品的用户指南。该 IP 基于 Logos2 系列产品中 HSSTLP 资源实现。本手册内容主要包括 IP 使用指南及相关附录。通过本手册用户可以快速了解 HSSTLP IP 相关特性及使用方法。

1.2 手册行文规范

表 1-1 行文规范说明

文字	使用原则
注意	若用户忽略注意内容，可能会因误操作而带来一定的不良后果或者无法成功操作。
说明	提供给用户的说明和提示。

第2章 IP 使用指南

本章讲述 HSSTLP IP 相关使用指南，内容包括 IP 简介、IP 框图、IP 生成流程、Example Design、IP 接口描述、IP 寄存器描述、典型应用、说明与注意事项、IP 调试手段。更多设计流程相关详细信息可以参见下述 PDS 帮助文档。

- *Pango_Design_Suite_Quick_Start_Tutorial*[1]
- *Pango_Design_Suite_User_Guide*[2]
- *IP_Compiler_User_Guide*[3]
- *Simulation_User_Guide*[4]

2.1 IP 简介

HSSTLP IP 是基于 Logos2 系列产品中 HSSTLP 资源实现的一款 IP，可通过公司 PDS (Pango Design Suite) 套件中的 IPC (IP Compiler) 工具完成 IP 模块的配置和生成。

2.1.1 主要特性

HSST IP 支持的功能包括：

- 支持四条通道独立配置；
- 支持各通道独立配置“双工”、“仅发送”、“仅接收”、“关闭”四种工作模式；
- 支持标准协议（GE/SGMII、PCIEx1/PCIEx2/PCIEx4、XAUI、3G-SDI）；
- 支持客户自定义协议；
- 支持 Line Rate 配置；
- 支持用户侧接口位宽配置；
- 支持 PLL 数量可配置；
- 支持参考时钟配置；
- 支持 8B10B 编解码使能配置；
- 支持 64B66B、64B67B 透传模式配置；
- 支持 Word Alignment 使能配置及 COMMA 序列值配置；
- 支持 Channel Bonding 使能配置及 Bonding 序列值配置；
- 支持 CTC 使能配置及 CTC 操作序列值配置；

- 支持信号摆幅配置；
- 支持去加重配置；
- 支持接收端 AC/DC 耦合方式配置；
- 支持接收端 Termination 模式配置；
- 提供可参考的 HSSTLP 复位序列。

2.1.2 适用器件及封装

表 2-1 HSSTLP IP 适用器件及封装

适用器件	支持封装类型
PG2L200H	ALL
PG2L100HX	ALL（MBG324除外）
PG2L100H	ALL（MBG324除外）
PG2L50H	ALL（FBG256/MBG324除外）
PG2L25H	ALL

2.2 IP 框图

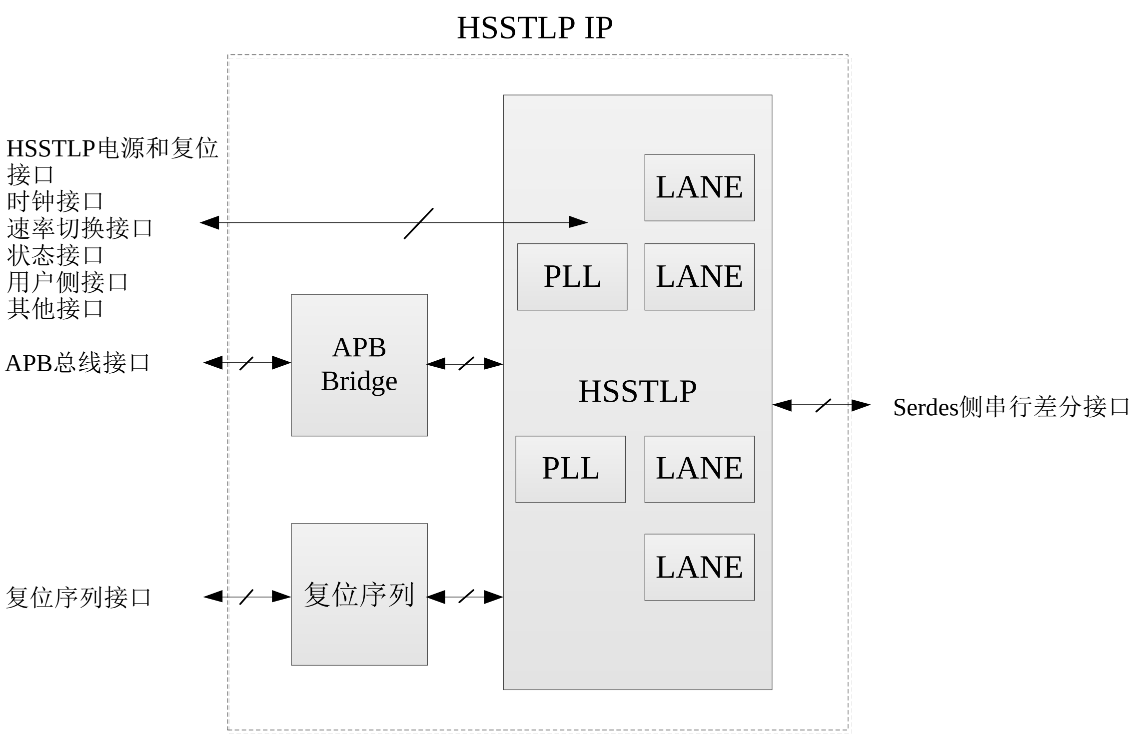

图 2-1 HSSTLP IP 结构框图

HSST IP 包括 HSSTLP、APB Bridge 和复位序列，整体框图如图 2-1 所示。HSSTLP 为器件自带的 HSSTLP IP 硬核资源，HSST 内部包含 4 个 LANE 和 2 个 PLL；APB Bridge 完成用户侧 APB 总线接口到 HSST 内部 4 个 LANE 和 2 个 PLL 的 APB 接口映射；复位序列控制 HSSTLP 上电、复位和速率切换的时序流程，具体功能请参见表 2-12 常用接口列表中的复位序列接口。

2.2.1 HSSTLP

HSSTLP 具体功能请参见*《UG040008_Logos2 系列 FPGA 高速串行收发器(HSSTLP) 用户指南》*[8]。

2.2.2 APB Bridge

表 2-2 APB 地址映射[1]

Address Range	Register
0x0000~0x03FF	LANE0 PCS
0x0400~0x07FF	LANE0 PMA RX
0x0800~0x0BFF	LANE0 PMA TX
0x0C00~0x0FFF	Reserved
0x1000~0x13FF	LANE1 PCS
0x1400~0x17FF	LANE1 PMA RX
0x1800~0x1BFF	LANE1 PMA TX
0x1C00~0x1FFF	Reserved
0x2000~0x23FF	LANE2 PCS
0x2400~0x27FF	LANE2 PMA RX
0x2800~0x2BFF	LANE2 PMA TX
0x2C00~0x2FFF	Reserved
0x3000~0x33FF	LANE3 PCS
0x3400~0x37FF	LANE3 PMA RX
0x3800~0x3BFF	LANE3 PMA TX
0x3C00~0x3FFF	Reserved
0x4000~0x4FFF	PLL0
0x5000~0x5FFF	PLL1

HSSTLP IP 内部有 4 个 LANE 和 2 个 PLL，每个 LANE 和 PLL 均有独立的一套配置寄存器和地址空间。为便于用户访问，IP 增加了 APB Bridge 模块，用户只需通过一

1 例如访问 RX 的 LANE2 PMA RX 0x39 寄存器，对应十六进制地址为 0x2439。

个 APB 总线接口即可实现对所有 LANE 和 PLL 的访问。

LANE 或者 PLL 的地址总线宽度为 12bit，APB Bridge 增加了 4bit 地址作为片选信号，因此地址总线为 16bit，具体映射关系如表 2-2 所示。

2.2.3 复位序列

为便于用户使用 HSSTLP，提供了一个可参考的复位序列，实现上电、复位和速率切换，执行的时序请参见*《UG040008_Logos2 系列 FPGA 高速串行收发器(HSSTLP)用户指南》*[8]。

复位序列增加了 Channel Bonding 使能时的对齐操作、异常处理等功能，具体描述如下。

1. Channel Bonding

(1) TX Channel 时钟同步

用户使用 Channel Bonding 功能时，复位序列控制 P_LANE_SYNC 端口对 TX Channel 进行时钟同步；在端口 P_TX_LANE_PD_DRIVER 拉低之后执行，具体时序如图 2-2 所示。

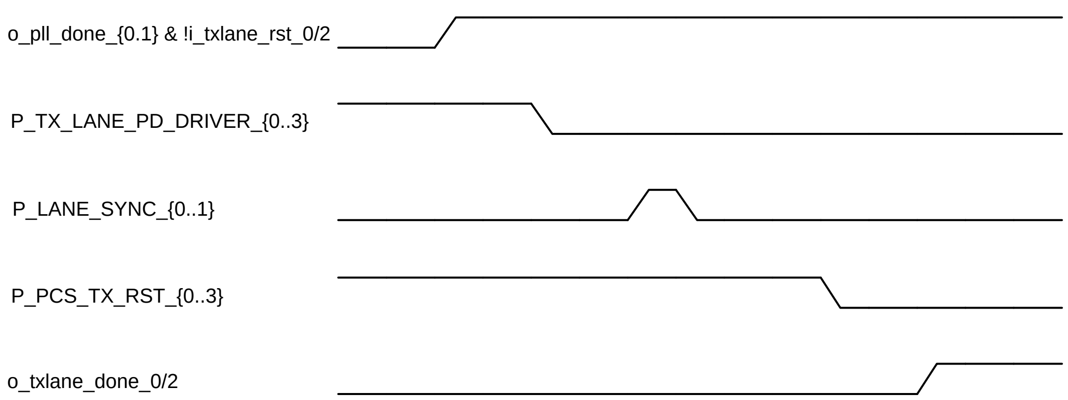

图 2-2 Channel Bonding 场景 TX 时钟同步时序图

(2) RX Channel 对齐复位

用户使用 Channel Bonding 功能或多 LANE 模式时，复位序列会对 RX Channel 进行对齐复位操作，用户通过控制 i_hsstlp_fifo_clr_{0..3} 端口或者由内部信号

fifo_clr_en_{0..3}实现，时序如图 2-3 所示。

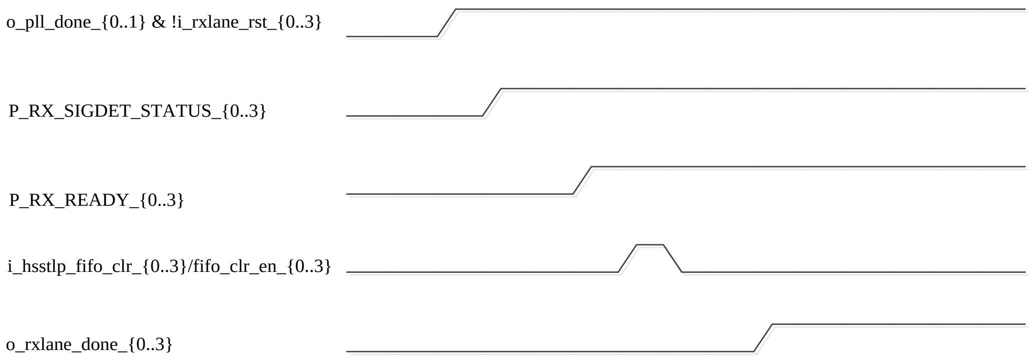

图 2-3 Channel Bonding 场景 RX 对齐操作时序图

2. Error Handle

(1) PLL LOCK 异常

复位序列增加了看门狗，会监控 PLL 的 LOCK 状态，当 PLL 长时间无法 LOCK 且到达看门狗阈值时，会重新对 PLL 执行上电复位操作，时序如图 2-4 所示。

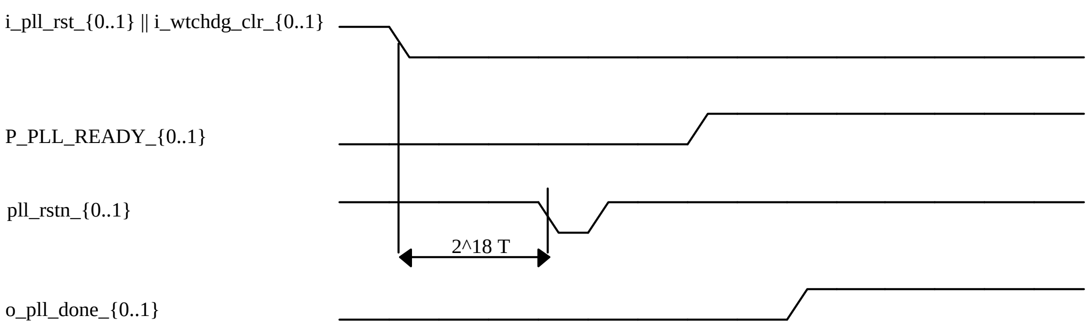

图 2-4 PLL 长时间不 LOCK 重新上电复位时序图[2]

(2) RX Channel 输入异常

正常工作过程中，当 RX Channel 没有数据输入或者信号丢失时，信号检测指示端口 P_RX_SIGDET_STATUS_{0..1}会拉低，此时复位序列会重新对 RX PMA 执行复位解复位操作，时序如图 2-5 所示：

2 T 表示 i_free_clk 的时钟周期，pll_rstn_{0..1}是复位序列内部信号，拉低会启动对 PLL 执行重新上电复位流程，直到 PLL LOCK。

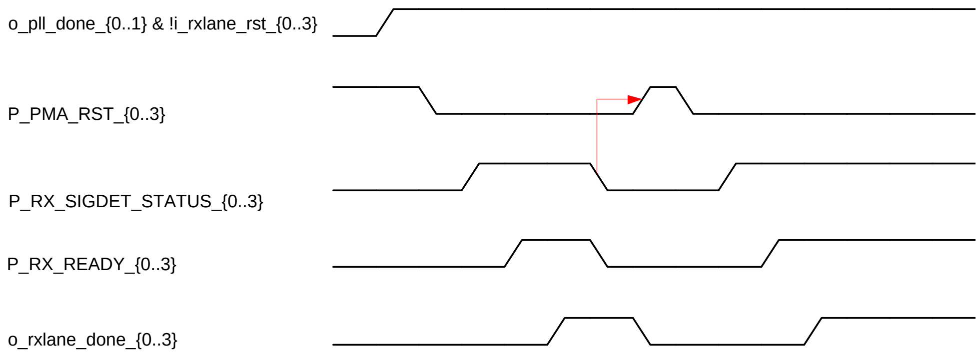

图 2-5 RX Channel 无信号输入时的异常恢复时序图

(3) RX Channel CDR LOCK 异常

当 RX Channel 的 CDR 长时间无法 LOCK 时，复位序列亦会重新对 RX PMA 执行复位解复位操作，时序如图 2-6 所示。

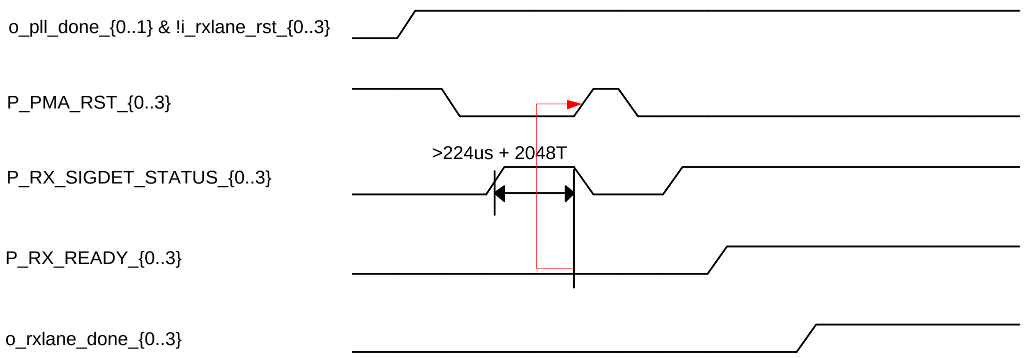

图 2-6 CDR 长时间不 LOCK 的异常恢复时序图

(4) CDR LOCK 异常拉低

正常工作过程中，当 RX Channel 的 CDR 完成指示信号 P_RX_READY_{0..3}突然拉低时，复位序列亦会重新对 RX PMA 执行复位解复位操作，时序如图 2-7 所示：

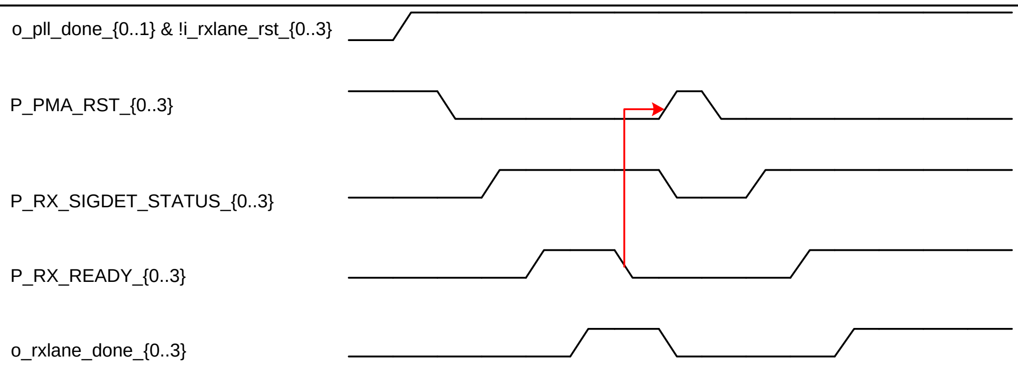

图 2-7 CDR LOCK 拉低的异常恢复时序图

(5) PCS Word Align 异常拉低

使能 RX Channel PCS 的 Word Align 功能时，若 Word Align 完成指示信号 o_p_pcs_lsm_syned_{0..3}为低且长时间未拉高，在达到 Word Align Timer 阈值时，复位序列亦会重新对 RX PMA 执行复位解复位操作，时序如图 2-8 所示。

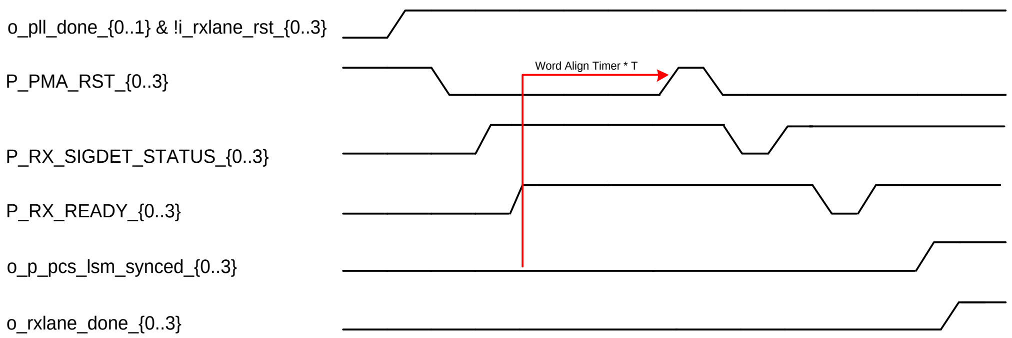

图 2-8 PCS Word Align 长时间未对齐的异常恢复时序图

2.3 IP 生成流程

2.3.1 模块例化

通过 IPC 工具可以完成 HSSTLP IP 的定制化配置，例化生成所需的 IP 模块。关于 IPC 工具的具体使用方法，请参见 *IP_Compiler_User_Guide*[3]。

HSSTLP IP 模块例化的主要操作步骤描述如下。

1. 选择 IP

打开 IPC，在主窗口中点击 File->Update 打开 Update IP 对话框，添加对应版本的 IP 模型。

选择 FPGA 的器件类型之后 Catalog 界面可以显示已装载的 IP 模型。选取 System/HSSTLP 目录下对应的 IP 版本，IP 选择路径界面如图 2-9 所示。然后在右侧页面设置 Pathname 和 Instance Name 名称，工程例化界面如图 2-10 所示。

注意：

- PG2L50H、PG2L25H：软件必须为 2022.1 及以上版本。
- PG2L100H：软件必须为 2021.1-SP7.2、2021.4-SP1、2022.1 及以上版本。
- PG2L200H：软件必须为 2022.2 及以上版本。
- PG2L100HX：软件版本要求请咨询 FAE。

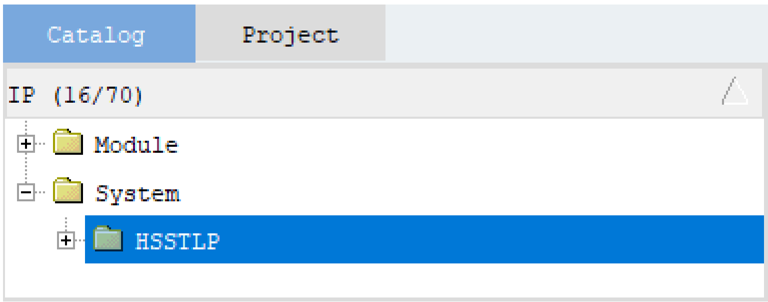

图 2-9 HSSTLP IP 选择路径界面

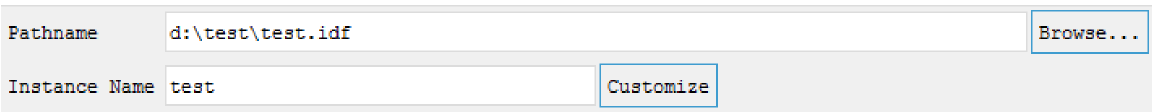

图 2-10 工程例化界面

2. 配置 IP 参数

IP 选择完成后点击 <Customize> 进入 HSSTLP 参数设置界面，左边 Symbol 为接口框图，如图 2-11 所示；右边为参数配置窗口，如图 2-12 所示。

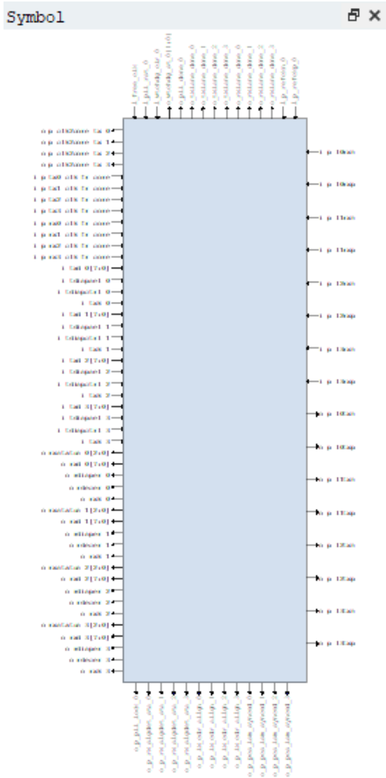

图 2-11 HSSTLP IP 接口框图

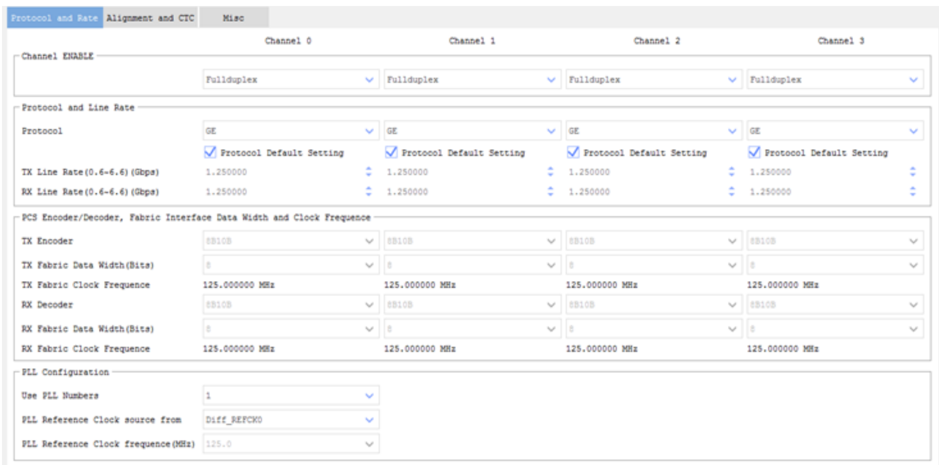

图 2-12 配置 HSSTLP IP 参数界面

参数配置分为三个页面，分别为 Protocol and Rate，Alignment and CTC 和 Misc。HSST IP 配置步骤描述如下。

(1) Protocol and Rate 页配置

表 2-3 Protocol and Rate 页配置参数说明

参数/配置选项	参数说明
Channel ENABLE	选择 Channel 0~3 使能模式为 Fullduplex、TX_only、RX_only 或 DISABLE。 当配置为 TX_only 模式，对应 Channel 的 RX 相关参数全部关闭； 当配置为 RX_only 模式，对应 Channel 的 TX 相关参数全部关闭； 当配置为 DISABLE 模式，对应 Channel 的相关参数全部关闭。
Protocol and Line Rate	
Protocol	选择 Channel 0~3 协议模式为：GE、SGMII、PCIEx1、3G-SDI[3]、CUSTOMERIZEDx1[4]、PCIEx2、CUSTOMERIZEDx2[4]、TX_CUSTOMERIZEDx2[4]、XAUI、PCIEx4、CUSTOMERIZEDx4[4] 或 TX_CUSTOMERIZEDx4[4]。 上述可选协议模式，根据 1 条客户数据通道使用 SerDes 通道的数量可分为单 Lane 模式[5]、双 Lane 模式[6]、四 Lane 模式[7]三类。 注： CUSTOMERIZEDx2/x4 用于通道绑定场景，此时 TX 端串行数据同步输出，RX 端可以配置通道之间的数据对齐模式（Channel Bonding）； 当配置 Channel 0~1 为 CUSTOMERIZEDx2，两通道配置参数绑定，只能配置 Channel 0 参数，Channel 1 参数不可配置与 Channel 0 保持一致，Channel 2~3 配置为 CUSTOMERIZEDx2 同理； 当配置 Channel 0~3 为 CUSTOMERIZEDx4，四通道配置参数绑定，只能配置 Channel 0 参数，Channel 1/2/3 参数不可配置，与 Channel 0 保持一致。 TX_CUSTOMERIZEDx2/x4 用于 TX 通道绑定场景，此时 TX 端串行数据同步输出，RX 端通道可独立配置； 当配置 Channel 0~1 为 TX_CUSTOMERIZEDx2，两通道 TX 配置参数绑定，只能配置 Channel 0 TX 参数，Channel 1 参数不可配置与 Channel 0 保持一致，Channel 2~3 配置为 TX_CUSTOMERIZEDx2 同理； 当配置 Channel 0~3 为 TX_CUSTOMERIZEDx4，四通道 TX 配置参数绑定，只能配置 Channel 0 TX 参数，Channel 1/2/3 参数不可配置，与 Channel 0 保持一致（TX_CUSTOMERIZED 模式只应用在 TX_FIFO Bypass 模式）。

3 对应 3G-SDI 配置模式，详细信息请参见 *《UG042002_Logos2 系列产品 3G-SDI IP 用户指南》*[9]；

4 CUSTOMERIZEDx1 表示单 Lane 的客户定制协议模式；CUSTOMERIZEDx2 表示双 Lane 的客户定制协议模式；CUSTOMERIZEDx4 表示四 Lane 的客户定制协议模式；TX_CUSTOMERIZEDx2 表示双 Lane Tx 端的客户定制协议模式；TX_CUSTOMERIZEDx4 表示四 Lane Tx 端的客户定制协议模式。

5 单 Lane 模式：1 条客户数据通道使用 1 条 SerDes，包括 GE、SGMII、PCIEx1、CUSTOMERIZEDx1、3G-SDI。

6 双 Lane 模式：1 条客户数据通道使用 2 条 SerDes，包括 CUSTOMERIZEDx2、PCIEx2、TX_CUSTOMERIZEDx2。

7 四 Lane 模式：1 条客户数据通道使用 4 条 SerDes，包括 XAUI、PCIEx4、CUSTOMERIZEDx4 或 TX_CUSTOMERIZEDx4。

参数/配置选项	参数说明
Protocol Default Setting	选择 Channel 0~3 是否为协议固定配置，与 Protocol 配合使用： 当 Protocol 配置为 CUSTOMERIZEDx1/x2/x4 模式，Protocol Default Setting 固定不勾选； 当 Protocol 配置为 GE、SGMII、PCIEx1、3G-SDI、PCIEx2、XAUI 或 PCIEx4 时，可以选择是否勾选 Protocol Default Setting；当勾选时，Protocol and Rate 页和 Alignment and CTC 页对应 Channel 的全部参数不可选择。
TX Line Rate(0.6~6.6Gbps)	配置 Channel 0~3 TX 线速率，范围为 0.6~6.6Gbps。
RX Line Rate(0.6~6.6Gbps)	配置 Channel 0~3 RX 线速率，范围为 0.6~6.6Gbps。
PCS Encoder/Decoder, Fabric Interface Data Width and Clock Frequence	
TX Encoder	选择 Channel 0~3 TX 编码模式为 8B10B、64B66B_transparent、64B67B_transparent 或 Bypassed。
TX Fabric Data Width(Bits)	选择 Channel 0~3 TX Fabric 数据位宽，在保证 Fabric 时钟不大于 206.25Mhz 的前提下： 当配置 8B10B 编码模式，可选择数据位宽为 8/16/32bits； 当配置 64B66B_transparent 模式，可选择数据位宽为 16/32bits； 当配置 64B67B_transparent 模式，可选择数据位宽为 16/32bits； 当配置 Bypassed 编码模式，可选择数据位宽为 8/10/16/20/32/40bits。
TX Fabric Clock Frequence	显示 Channel 0~3 TX Fabric 时钟频率，取决于 TX Line Rate、TX Encoder 和 TX Fabric Data Width 配置。
RX Decoder	选择 Channel 0~3 RX 解码模式为 8B10B、64B66B_transparent、64B67B_transparent 或 Bypassed。
RX Fabric Data Width(Bits)	选择 Channel 0~3 RX Fabric 数据位宽，在保证 Fabric 时钟不大于 206.25Mhz 的前提下： 当配置 8B10B 解码模式，可选择数据位宽为 8/16/32bits； 当配置 64B66B_transparent 模式，可选择数据位宽为 16/32bits； 当配置 64B67B_transparent 模式，可选择数据位宽为 16/32bits； 当配置 Bypassed 解码模式，可选择数据位宽为 8/10/16/20/32/40bits。
RX Fabric Clock Frequence	显示 Channel 0~3 RX Fabric 时钟频率，取决于 RX Line Rate、RX Encoder 和 RX Fabric Data Width 配置。
PLL Configuration	
Use PLL Number	选择使用 PLL 的个数，1 或 2。 当选择 1 个时，TX/RX 通道均来自同一个 PLL，默认使用 PLL0，若用户须单独使用 PLL1 可通过修改物理约束实现； 当选择 2 个时，TX/RX 通道可独立配置来源 PLL0 或 PLL1，该场景不支持所有 TX/RX 通道均配置来源 PLL1，否则上报告警。

参数/配置选项	参数说明
PLL Reference Clock source from	选择 PLL 参考时钟，可以选择： Diff_REFCK0：选择来自差分时钟接口 i_p_refckn_0/i_p_refckp_0(REFCLK_CML_N_0/REFCLK_CML_P_0)的时钟； Diff_REFCK1：选择来自差分时钟接口 i_p_refckn_1/i_p_refckp_1(REFCLK_CML_N_1/REFCLK_CML_P_1)的时钟； Fabric_ REFCK0：选择来自 i_p_pll_ref_clk_0(P_PLL_REF_CLK_0)的时钟； Fabric_ REFCK1：选择来自 i_p_pll_ref_clk_1(P_PLL_REF_CLK_1)的时钟。
PLL Reference Clock frequence(MHz)	选择 PLL 参考时钟合法值。
PLL1 Reference Clock source from	选择 PLL1 参考时钟，当 Use PLL Number 配置为 2 时有效。 Diff_REFCK0：选择来自差分时钟接口 i_p_refckn_0/i_p_refckp_0(REFCLK_CML_N_0/REFCLK_CML_P_0)的时钟； Diff_REFCK1：选择来自差分时钟接口 i_p_refckn_1/i_p_refckp_1(REFCLK_CML_N_1/REFCLK_CML_P_1)的时钟； Fabric_ REFCK0：选择来自 i_p_pll_ref_clk_0(P_PLL_REF_CLK_0)的时钟； Fabric_ REFCK1：选择来自 i_p_pll_ref_clk_1(P_PLL_REF_CLK_1)的时钟。
PLL1 Reference Clock frequence(MHz)	选择 PLL1 参考时钟合法值，当 Use PLL Number 配置为 2 时有效。当 Use The Same Reference clock 勾选时，该值须与 PLL0 保持一致，若没有相同值，则取 0，并上报告警信息。
Use The Same Reference clock	选择 PLL0 和 PLL1 是否使用相同参考时钟，当 Use PLL Number 配置为 2 时有效。 勾选：PLL0 和 PLL1 使用相同的参考时钟； 不勾选：PLL0 和 PLL1 的参考时钟独立配置。
TX/RX Channel PLL Selection	
TX Channel PLL source from	选择 TX Channel 0~3 使用的 PLL，当 Use PLL Number 配置为 2 时有效。 PLL0：选择 PLL0 的输出时钟； PLL1：选择 PLL1 的输出时钟。
RX Channel PLL source from	选择 RX Channel 0~3 使用的 PLL，当 Use PLL Number 配置为 2 时有效。 PLL0：选择 PLL0 的输出时钟； PLL1：选择 PLL1 的输出时钟。

(2) Alignment and CTC 页配置

表 2-4 Alignment and CTC 页配置参数说明

参数/配置选项	参数说明
Word Alignment	
Word Align Mode	选择 Channel 0~3 Word Align 模式为： GE_MODE：对应 PCS_CHx_ALIGN_MODE[8]=1GB； XAUI_MODE：对应 PCS_CHx_ALIGN_MODE=10GB； RAPIDIO_MODE：对应 PCS_CHx_ALIGN_MODE=RAPIDIO； CUSTOMERIZED_MODE：对应 PCS_CHx_ALIGN_MODE=OUTSIDE；此时，i_p_pcs_word_align_en_{0..3}(P_PCS_WORD_ALIGN_EN[3:0])[9]接口生效； Bypassed：对应 PCS_CHx_BYPASS_WORD_ALIGN=TRUE；仅在 RX Decoder 选择为 Bypassed 时才可以选择。
COMMA code-group select	当 Word Align 模式没有选择 Bypassed 时，选择 Channel 0~3 Word Align 的字节格式为 COMMA，K28.1，K28.5 或 K28.7； 或者选择 CUSTOMERIZED，自定义 Word Align 的字节格式。
COMMA+ code-group(10bits)	当 Word Align 的字节格式为 CUSTOMERIZED 时，用来自定义 Channel 0~3 Word Align 的字节格式，对应 PCS_CHx_COMMA_REG0，和 PCS_CHx_COMMA_REG1 的反码； 定义的值需要是 10 比特二进制格式。
COMMA MASK(bin)	当 Word Align 的字节格式为 CUSTOMERIZED 时，用来自定义 Channel 0~3 Word Align 的字节格式，对应 PCS_CHx_COMMA_MASK； 定义的值需要是 10 比特二进制格式。
Channel Bonding	
Channel Bonding Mode	选择 Channel 0~3 Channel Bonding 模式为： XAUI_MODE：对应 PCS_CHx_CEB_MODE=10GB； RAPIDIO_MODE：对应 PCS_CHx_CEB_MODE=RAPIDIO_MODE； CUSTOMERIZED_MODE：对应 PCS_CHx_CEB_MODE=OUTSIDE；此时，i_p_pcs_mcb_ext_en_{0..3}(P_PCS_MCB_EXT_EN[3:0])接口生效； Bypassed：对应 PCS_CHx_BYPASS_BONDING=TRUE；当单 lane 模式或 RX Decoder 选择 Bypassed 时，固定为 Bypassed。
Channel Bonding Special Code(bin)	当 Channel Bonding 模式不是 Bypassed 时，选择 Channel 0~3 Channel Bonding 模式的 K 码，对应 PCS_CHx_A_REG。
Channel Bonding Range(UI)	当 Channel Bonding 模式不是 Bypassed 时，选择 Channel 0~3 Channel Bonding skew 范围，对应 PCS_CHx_SEACH_OFFSET。

8 统一描述约束:：PCS_CHx_*为 HSSTLP 参数，具体参见*《UG040008_Logos2 系列 FPGA 高速串行收发器(HSSTLP)用户指南》*上的描述。

9 统一描述约束：若 IP 管脚名称 i_x 或 o_x 后面紧跟(*)，*表示对应的*《UG040008_Logos2 系列 FPGA 高速串行收发器(HSSTLP)用户指南》*上的 HSSTLP 管脚。

参数/配置选项	参数说明
Clock Tolerance Compensation	
CTC Mode	选择 Channel 0~3 增删 SKIP 字节的 CTC 模式为： GE：按 1000GBASE-X 协议做 CTC 操作； XAUI：按 XAUI 协议做 CTC 操作； PCIE_2BYTE：按 PCIE 协议两字节做 CTC 操作； PCIE_4BYTE：按 PCIE 协议四字节做 CTC 操作； CUSTOMERIZED_1BYTE：可以定制一字节，用于 CTC 操作； CUSTOMERIZED_2BYTE：可以定制两字节，用于 CTC 操作； CUSTOMERIZED_4BYTE：可以定制四字节，用于 CTC 操作； Bypassed：对应 PCS_CHx_BYPASS_CTC=TRUE；当 RX Decoder 选择 Bypassed 或 TX Fabric 与 RX Fabric 时钟频率不一致时，固定为 Bypassed。
SKIP Byte#0(9bits)	配置 Channel 0~3 第一个的 SKIP 字节； 解码后的值，9 比特二进制格式，高位 0 表示数据字节，1 表示控制字节，下同。
SKIP Byte#1(9bits)	配置 Channel 0~3 第二个的 SKIP 字节。
SKIP Byte#2(9bits)	配置 Channel 0~3 第三个的 SKIP 字节。
SKIP Byte#3(9bits)	配置 Channel 0~3 第四个的 SKIP 字节。

(3) Misc 页配置

表 2-5 Misc 页配置参数说明

参数/配置选项	参数说明
Reset Sequence Config	
Reset Sequence	选择是否是使能复位序列。
Free Clock frequence(10~100 MHz)	i_free_clk 的时钟频率配置。
RXPCS Align Timer(0~65535 cycles)	配置 Channel 0~3 中复位序列的 RXPCS_ALIGN_TIMER 阈值。 当 Word Align Mode 没有选择 Bypassed 时，从 RX 侧检测到合法信号（即 o_p_lx_cdr_ align_{0..3}=1）到 Word Align 同步成功（即 o_p_pcs_lsm_synced_{0..3}=1）的时间不能超过 RXPCS_ALIGN_TIMER 个 Free Clock 周期，否则 RX 复位序列自动重启； 当 Protocol Default Setting 没有被勾选，且 Word Align Mode 未选择 Bypassed 时，用户需要自己配置 RXPCS_ALIGN_TIMER 阈值，配置范围为 0~65535。

参数/配置选项	参数说明
Channel Insertion Loss	
TX Pre-Cursor Emphasis Enable	选择 Channel 0~3 是否使能前标量配置 De-emphasis。 不勾选：不使能前标量方式配置 De-emphasis 值； 勾选：使能前标量方式配置 De-emphasis 值； 对应参数 PMA_CH_REG_PD_PRE。
TX Pre-Cursor Emphasis Static Setting	配置 Channel 0~3 的前标量 De-emphasis 推荐值。 对应参数 PMA_CH_REG_TX_CFG_PRE。 注：当同时使用前标量和后标量时，PMA_CH_REG_CFG_POST 的值加上 PMA_CH_REG_TX_CFG_PRE 的值须小于 36，否则上报告警。
TX Post-Cursor Emphasis Enable	选择 Channel 0~3 是否使能后标量配置 De-emphasis： 不勾选：不使用后标量方式配置 De-emphasis 值； 勾选：使用后标量方式配置 De-emphasis 值； 对应参数 PMA_CH_REG_TX_PD_POST。
TX Post-Cursor Emphasis Static Setting	配置 Channel 0~3 的后标量 De-emphasis 推荐值。 对应参数 PMA_CH_REG_TX_CFG_POST。 注：当同时使用前标量和后标量时，PMA_CH_REG_CFG_POST 的值加上 PMA_CH_REG_TX_CFG_PRE 的值须小于 36，否则 IP 界面上报告警。
TX FFE Dynamic Control	选择 Channel 0~3 是否使能动态切换 De-emphasis。 勾选：通过 i_p_lx_deemp_ctl_{0..3}(P_TX_DEEMP)接口切换 De-emphasis； 不勾选：不能切换 De-emphasis。 i_p_lx_deemp_ctl_{0..3}为： 00：当前 TX De-emphasis 值为后标量 De-emphasis 推荐值； 01：当前 TX De-emphasis 值为后标量 TX Config Post1 推荐值； 10：当前 TX De-emphasis 值为后标量 TX Config Post2 推荐值； 11：Reserved。 注：该功能仅支持后标量，勾选该功能时，无法使用前标量方式配置去加重值，具体参见*《UG040008_Logos2 系列 FPGA 高速串行收发器(HSSTLP)用户指南》*。
TX Config Post1	配置 Channel 0~3 的 Post1 后标量去加重值，当 TX FFE Dynamic Control 勾选时有效。 推荐配置值与后标量 De-emphasis 保持一致。 对应参数 PMA_CH_REG_TX_CFG_POST1。
TX Config Post2	配置 Channel 0~3 的 Post2 后标量去加重值，当 TX FFE Dynamic Control 勾选时有效。 推荐配置值与后标量 De-emphasis 保持一致。 对应参数 PMA_CH_REG_TX_CFG_POST2。

参数/配置选项	参数说明
PMA Receiver Front End Config	
RX Termination Mode	配置 Channel 0~3 PMA Receiver Front End 方式，分别是： external DC, internal DC； external DC, internal AC； external AC, internal AC； external AC, internal DC。 对应参数 PMA_CH_REG_RX_TERM_MODE_CTRL，具体参见*《UG040008_Logos2 系列FPGA 高速串行收发器(HSSTLP)用户指南》*。
RX Signal-detect Threshold	配置 Channel 0~3 的接收端信号检测阈值电压，分别是： 63MV(Reserved)；72MV。 默认值为 72MV，对应参数 PMA_CH_REG_RX_SIGDET_VTH； 此配置项需根据测试板电源噪声进行配置。
APB Bus Enable	
APB Bus Enable	选择是否使能 APB 总线接口。 HSSTLP IP 的 APB 命名规则为 i_xxx 或 o_xxx,与*《UG040008_Logos2 系列FPGA 高速串行收发器(HSSTLP)用户指南》*上描述的 HSSTLP APB 接口一一对应。
Show HSSTLP Optional Pins	
Show HSSTLP Optional Pins	选择是否显示 HSSTLP IP 的可选接口，具体参见“2.5.2　可选接口说明”。
Show Reset Sequence Optional Pins	
Show Reset Sequence Optional Pins	选择是否显示复位序列相关的可选接口，具体参见“2.5.2　可选接口说明”。

3. 生成 IP

参数配置完成后，点击左上角的 <Generate> 按钮生成 IP。生成 IP 的信息报告界面如图 2-13 所示。

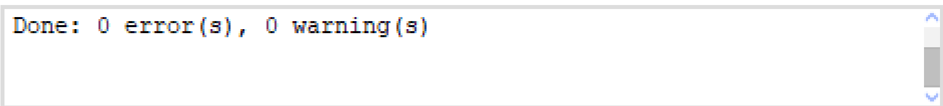

图 2-13 HSSTLP IP 生成报告界面

注意：

IP 自带生成的.pds 文件和.fdc 文件仅供参考，使用时请根据实际的管脚连接更改管脚约束。

成功生成 IP 后会在图 2-10 中指定的路径下输出表 2-6 所示文件。

表 2-6 IP 生成后的输出文件

输出文件[10]	说明
$instname.v	所生成 IP 的顶层.v 文件。
/rtl/ipm2l_hsstlp_wrapper_*.v	HSSTLP 模块的顶层.v 文件。
/rtl/ipm2l_hsstlp_apb_bridge_*.v	APB 总线访问相关.v 文件。
/rtl/ipm2l_hsstlp_rst/*.v	复位序列相关全部.v 文件
/example_design/*/*.v	用于参考设计或者 IP 仿真的.v 文件
/pnr/core_only/$instname.pds	所生成 IP 核的工程文件，作为用户工程的参考。
/pnr/core_only/$instname.fdc	所生成 IP 核的约束参考文件，作为用户工程的参考。
/pnr/example_design/pango_hsstlp_top.pds	Example Design 的工程文件，作为用户工程的参考[11]。
/pnr/example_design/pango_hsstlp_top.fdc	Example Design 的约束参考文件，作为用户工程的参考。
/sim/modelsim/pango_hsstlp_top_sim.do	对生成的 Example Design 进行 ModelSim 仿真的 do 脚本文件。
/sim/modelsim/pango_hsstlp_top_wave.do	对生成的 Example Design 进行 ModelSim 仿真的 do 波形文件。
/sim/modelsim/sim.bat	对生成的 Example Design 进行 ModelSim 仿真的自动运行脚本；运行后生成仿真结果文件 vsim_inst_tb_top.log[12]。
/sim/modelsim/pango_hsstlp_top_filelist.f	对生成的 Example Design 进行 ModelSim 仿真所需的.v 文件列表。
/rev_1	综合报告默认输出路径。（该文件夹仅在指定综合工具后才会生成）
readme.txt	readme 文件，描述 IP 生成后，生成目录的结构。

10 $instname 是用户输入的例化名；“*”为通配符，代替同一类型的文件名。

11 注：当前版本不支持使用外部 PLL 场景仿真。

12 注：当 IP 配置为非“双工”模式，或者 TX/RX 速率不一致，不支持仿真。

4. 参数描述

表 2-7 参数描述列表

页面	参数/配置选项	参数说明	IP 配置界面默认值
Protocol and Rate	Channel ENABLE	配置通道工作模式	Fullduplex
	Protocol	配置通道协议	GE
	Protocol Default Setting	配置是否使能默认配置	使能
	TX Line Rate(0.6~6.375Gbps)	配置通道 TX 线速	1.25Gbps
	RX Line Rate(0.6~6.375Gbps)	配置通道 RX 线速	1.25Gbps
	TX Encoder	配置通道 TX 编码模式	8B10B
	TX Fabric Data Width(Bits)	配置通道 TX 用户侧数据位宽	8
	TX Fabric Clock Frequence	显示 TX 用户侧工作时钟频率	125MHz
	RX Decoder	配置通道 RX 编码模式	8B10B
	RX Fabric Data Width(Bits)	配置通道 RX 用户侧数据位宽	8
	RX Fabric Clock Frequence	显示 RX 用户侧工作时钟频率	125MHz
	Use PLL Numbers	配置使用 PLL 的个数	1
	PLL Reference Clock source from	配置 PLL 参考时钟来源	Diff_REFCK0
	PLL Reference Clock frequence(MHz)	选择 PLL 参考时钟合法值	125
Alignment and CTC	Word Align Mode	配置 COMMA 对齐场景下的同步状态机	GE_MODE
	COMMA code-group select	配置 Word align 对齐的控制字	K28.5
	COMMA+ code-group(10bits)	配置自定义对齐控制字	0101111100
	COMMA MASK(bin)	配置是否屏蔽对齐字的域段	0000000000
	Channel Bonding Mode	配置通道的 Channel Bonding 模式	Bypassed
	Channel Bonding Special Code(bin)	配置 A Pattern Reg 值	-
	Channel Bonding Range(UI)	配置 Channel Bonding Deskew 范围值	-
	CTC Mode	配置 CTC 模式值	GE
	SKIP Byte#0(9bits)	配置第一个 SKP 字节	110111100
	SKIP Byte#1(9bits)	配置第二个 SKP 字节	001010000
	SKIP Byte#2(9bits)	配置第三个 SKP 字节	0
	SKIP Byte#3(9bits)	配置第四个 SKP 字节	0
Misc	Reset Sequence	配置是否是使能复位序列	使能
	Free Clock frequence(10~100 MHz)	配置复位序列工作时钟频率	100
	RXPCS Align Timer(0~65535 cycles)	配置 word align 使能情况下异常处理阈值	32767
	TX Pre-Cursor Emphasis Enable	配置前标量去加重使能	不使能
	TX Pre-Cursor Emphasis Static Setting	配置前标量去加重值	0
	TX Post-Cursor Emphasis Enable	配置后标量去加重使能	不使能

页面	参数/配置选项	参数说明	IP 配置界面默认值
	TX Post-Cursor Emphasis Static Setting	配置后标量去加重值	0
	TX FFE Dynamic Control	配置 TX FFE 功能	不使能
	TX Config Post1	配置后标量 Config1 去加重值	0
	TX Config Post2	配置后标量 Config2 去加重值	0
	RX Termination Mode	配置 RX 耦合方式	external AC, internal DC
	RX Signal-detect Threshold	配置 PMA Receiver 信号检测阈值	72MV
	APB Bus Enable	配置 APB 总线接口	不使能
	P_REFCK2CORE_{0..1}	配置使能端口 P_REFCK2CORE_{0..1}	不使能
	TX{0..3}_CLK2_FR_CORE	配置使能端口 TX{0..3}_CLK2_FR_CORE	不使能
	TX{0..3} External PLL Ready	配置使能端口 i_pll_lock_tx_{0…3}	不使能
	TX{0..3} Swing Control	配置使能端口 TX{0..3} Swing Control	不使能
	TX{0..3} ELECIDLE Enable	配置使能端口 TX{0..3} ELECIDLE Enable	不使能
	TX{0..3} Beacon Enable	配置使能端口 TX{0..3} Beacon Enable	不使能
	TX{0..3} Rate Channel Select	配置使能端口 TX{0..3} Rate Channel Select	不使能
	RX{0..3} Rate Channel Select	配置使能端口 RX{0..3} Rate Channel Select	不使能
	RX{0..3}_CLK2_FR_CORE	配置使能端口 RX{0..3}_CLK2_FR_CORE	不使能
	RX{0..3} External PLL Ready	配置使能端口 RX{0..3} External PLL Ready	不使能
	RX{0..3}_Hi-z Control	配置使能端口 RX{0..3}_Hi-z Control	不使能
	RX{0..3} OOB Status	配置使能端口 RX{0..3} OOB Status	不使能
	RX{0..3} Detection	配置使能端口 RX{0..3} Detection	不使能
	RX{0..3} CLK Slip	配置使能端口 RX{0..3}_CLK_SLIP	不使能
	RX{0..3} Polarity Invert	配置使能端口 RX{0..3}Polarity Invert	不使能
	CH{0..3} Debug Bus	配置使能端口 CH{0..3} Debug Bus	不使能
	PLL0 Reset	配置使能端口 i_pll_rst0	使能
	PLL1 Reset	配置使能端口 i_pll_rst1	不使能
	PLL0 WatchDag Clear	配置使能端口 i_pll_wtchdg_clr0	使能
	PLL1 WatchDag Clear	配置使能端口 i_pll_wtchdg_clr1	不使能
	PLL0 Status	配置使能端口 i_pll_done_0 和 o_wtchdg_st0[1:0]	使能

页面	参数/配置选项	参数说明	IP 配置界面默认值
	PLL1 Status	配置使能端口 i_pll_done_1 和 o_wtchdg_st1[1:0]	不使能
	TX{0..3} Reset	配置使能端口 i_txlane_rst_{0..3}	不使能
	TX{0..3} Rate Change Select	配置使能端口 i_tx_rate_chng_{0..3}	不使能
	RX{0..3} Reset	配置使能端口 i_rxlane_rst_{0..3}	不使能
	RX{0..3} Rate Change Select	配置使能端口 i_rx_rate_chng_{0..3} 和 i_rxckdiv_{0..3}	不使能
	RX{0..3} Debug Bus	配置使能端口 i_hsst_fifo_clr_{0..3} 和 i_loop_dbg_{0..3}[2:0]	不使能

注："-" 表示 IP 配置界面无该参数默认值。

2.3.2 约束配置

关于约束文件的具体配置方法，可以查阅 PDS 安装路径下相关帮助文档：*User_Constraint_Editor_User_Guide*[5]，*Physical_Constraint_Editor_User_Guide*[6]，*Route_Constraint_Editor_User_Guide*[7]。

2.3.3 运行仿真

HSST IP 的仿真是基于 Example Design 的 Test Bench 进行的。有关 Example Design 的详细信息请参见"2.4　Example Design"。

关于 PDS 仿真功能及第三方仿真工具的更多详细信息，可以查阅 PDS 安装路径下相关帮助文档：*Pango_Design_Suite_User Guide*[2]，*Simulation_User_Guide*[4]。

2.3.4 综合与布局布线

PDS 综合工具和布局布线工具的相关具体用法可以查阅 PDS 安装路径下的帮助文档。

注意：

与 IP 一起产生的 Example Design 工程文件.pds 和管脚约束文件.fdc 存放在/pnr/ example_design 目录下，需要根据实际使用的器件和 PCB 板的走线修改物理约束，具体请参见"2.8　说明与注意事项"。

2.3.5 资源利用

表 2-8 HSSTLP IP 基于适用器件的资源利用典型值

器件	配置模式	资源利用典型值			
		LUT	FF	USCM	HSSTLP
PG2L200H	1 HSSTLP	1053	740	9	1
PG2L100HX	1 HSSTLP	991	750	9	1
PG2L100H	1 HSSTLP	1215	765	9	1
PG2L50H	1 HSSTLP	1277	743	10	1
PG2L25H	1 HSSTLP	1279	743	10	1

2.4 Example Design

本节主要介绍基于 HSSTLP IP 的 Example Design 设计方案。该方案通过将两个 HSST IP 对接，互发数据，对数据采用比特位比对的方式来验证接收侧数据是否正确。该方案可通过 APB 接口进行读写寄存器操作。

2.4.1 设计框图

图 2-14 为 HSSTLP IP 的 Example Design 框图，采用了对接测试的方式；其中，instance_name 表示用户在图 2-10 界面的 Instance Name 设置的 IP 名称。

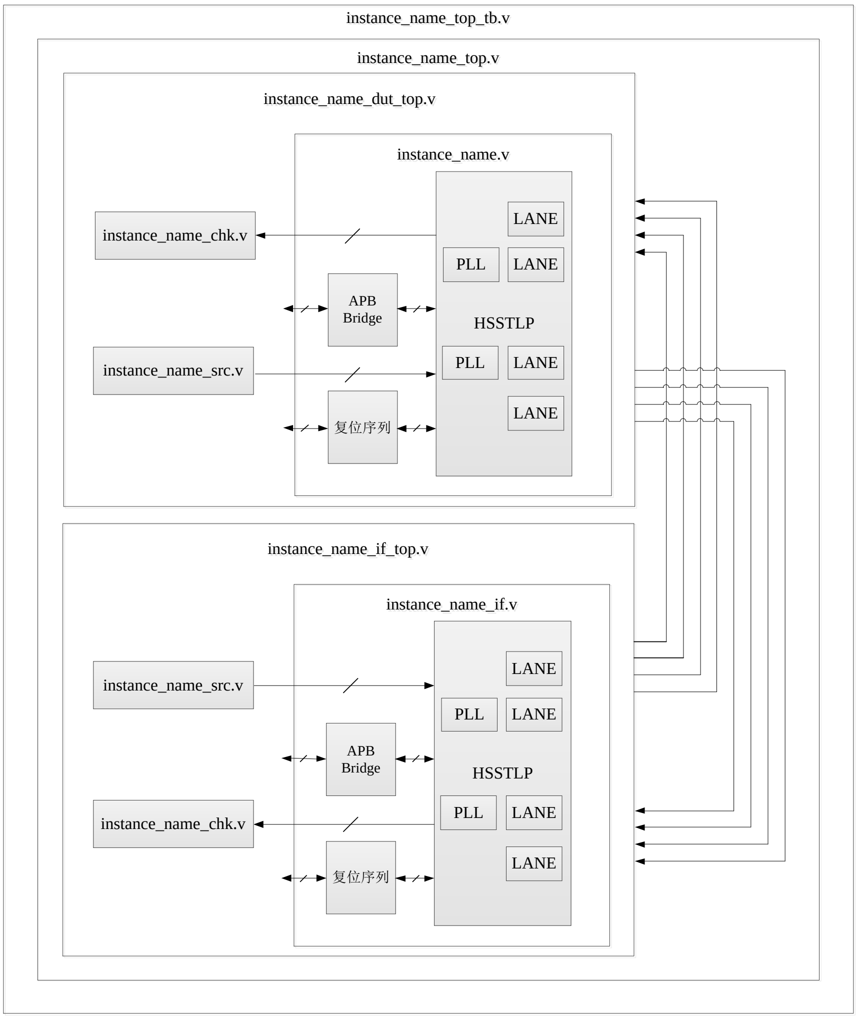

图 2-14 HSST IP Example Design 框图

2.4.2 模块说明

1. Instance_name.v 模块

根据用户在 IP 界面的配置值，生成的 IP 顶层.v 文件，包括 APB Bridge 和复位序列模块。

2. Instance_name_if.v 模块

该模块为 intance_name.v 的镜像模块，参数配置相同，不再阐述。

3. Instance_name_src.v 模块

激励生成模块，适配不同的位宽或编码模式。

(1) Bypassed 模式

当 TX Encoder 和 RX Decoder 设为 Bypassed 模式，不同的位宽构造不同的 0/1 均衡循环 Pattern。

- 8bit 对应循环 Pattern：i_txd_{0..3}为 8'b01_000_111；
- 10bit 对应循环 Pattern：i_txd_{0..3}为 10'b01_0000_1111；
- 16bit 对应循环 Pattern：i_txd_{0..3}为{2{8'b0001_0111}}；
- 20bit 对应循环 Pattern：i_txd_{0..3}为{2{10'b00001_01111}}；
- 32bit 对应循环 Pattern：i_txd_{0..3}为{4{8'b0101_0011}}；
- 40bit 对应循环 Pattern：i_txd_{0..3}为{4{10'b00101_00111}}。

(2) 8B10B 模式

当 TX Encoder 和 RX Decoder 设为 8B10B 模式，编码前数据 i_txd_{0..3}为 32bytes 格式，循环发送具体数据格式如表 2-9 所示。

表 2-9 8B10B 使能时的数据格式

字节位置	字节内容	内容说明
byte0~3	a0_a1_a2_a3	当 Channel Bonding 使能有效时，a0= CHx_RXPCS_A_REG, 否则，a0=i0; a_{1..3}=i_{1..3};
byte4~7 byte8~11 byte12~15 byte16~19 byte20~23	i0_i1_i2_i3	i0= CHx_RXPCS_COMMA_REG0; i1=D5.6 i2=i0 i3=i1
byte24~27	s0_s1_s2_s3	s0= CHx_RXPCS_SKIP_REG0 s1= "GE" ? CHx_RXPCS_SKIP_REG1: "XAUI"? CHx_RXPCS_SKIP_REG0: "PCIE_2BYTE"? CHx_RXPCS_SKIP_REG1: "PCIE_4BYTE"? CHx_RXPCS_SKIP_REG1: "CUSTOMERIZED_1BYTE"? CHx_RXPCS_SKIP_REG0: "CUSTOMERIZED_2BYTE"? CHx_RXPCS_SKIP_REG1: "CUSTOMERIZED_4BYTE"?CHx_RXPCS_SKIP_REG1: D5.6 s2= "GE" ? CHx_RXPCS_SKIP_REG0: "XAUI"? CHx_RXPCS_SKIP_REG0: "PCIE_2BYTE"? CHx_RXPCS_SKIP_REG0: "PCIE_4BYTE"? CHx_RXPCS_SKIP_REG2: "CUSTOMERIZED_1BYTE"? CHx_RXPCS_SKIP_REG0: "CUSTOMERIZED_2BYTE"? CHx_RXPCS_SKIP_REG0: "CUSTOMERIZED_4BYTE"? CHx_RXPCS_SKIP_REG2: K28_5 s3= "GE" ? CHx_RXPCS_SKIP_REG1: "XAUI"? CHx_RXPCS_SKIP_REG0: "PCIE_2BYTE"? CHx_RXPCS_SKIP_REG1: "PCIE_4BYTE"? CHx_RXPCS_SKIP_REG3: "CUSTOMERIZED_1BYTE"? CHx_RXPCS_SKIP_REG0: "CUSTOMERIZED_2BYTE"? CHx_RXPCS_SKIP_REG1: "CUSTOMERIZED_4BYTE"? CHx_RXPCS_SKIP_REG3: D5.6 注：条件语句判断值来自 CTC Mode（见表 2-4）。
byte28~31	p0_p1_p2_p3	Payload 字节，初始值为 1，向左移位操作;

(3) 64B66B_transparent 模式

当 TX Encoder 和 RX Decoder 设为 64B66B_transparent 模式，循环发送 Pattern 如表

2-10。

表 2-10 64B66B_transparent 模式发送 Pattern

位宽	i_txh_{0..3}	i_txd_{0..3}
16bit	{2b'01}	{2{8'b1010_1010}}
32bit	{2b'01}	{4{8'b1010_1010}}

(4) 64B67B_transparent 模式

当 TX Encoder 和 RX Decoder 设为 64B67B_transparent 模式，循环发送 Pattern 如表 2-11。

表 2-11 64B67B_transparent 模式发送 Pattern

位宽	i_txh_{0..3}	i_txd_{0..3}
16bit	{3b'100}	{2{8'b1010_1010}}
32bit	{3'b100}	{4{8'b1010_1010}}

4. Instance_name_chk.v 模块

测试检测机制模块，适配不同的位宽或编码模式。

(1) Bypassed 模式

当 TX Encoder 和 RX Decoder 设为 Bypassed 模式，按发送 Pattern 格式做检测，实时上报 o_pl_err[3:0]。

(2) 8B10B 模式且 Channel Bonding 不使能

当 TX Encoder 和 RX Decoder 设为 8B10B 模式，且 Channel Bonding 不使能；首先定位 Payload 字节边界，然后判断 Payload 字节是否符合预期，实时上报 o_pl_err[3:0]。

(3) 8B10B 模式且 Channel Bonding 使能

当 TX Encoder 和 RX Decoder 设为 8B10B 模式，且 Channel Bonding 使能；在检测 Payload 字节的同时，对开启 Channel Bonding 功能的 Lane 之间做 bit 级比对，确保 Lane 之间数据对齐成功，实时上报 o_pl_err[3:0]。

(4) 64B66B_transparent 模式

当 TX Encoder 和 RX Decoder 设为 64B66B_transparent 模式，收到第一个 rxh_start 信号后将同时刻的 rxh_{0..3}和 rxd_{0..3}拼接成 66bit 数据，然后根据理想情况{2’b01,4{8’b1010_1010}}判断需要移位的位数并进行移；完成移位操作后在每个 rxh_vld_{0..3}为 1 的时刻检测 rxh_{0..3}是否为 2’b01 和 rxd_{0..3}是否为 2{8’b1010_1010}或 4{8’b1010_1010}，实时上报 o_pl_err[3:0]。

(5) 64B67B_transparent 模式

当 TX Encoder 和 RX Decoder 设为 64B67B_transparent 模式，收到第一个 rxh_start 信号后将同时刻的 rxh_{0..3}和 rxd_{0..3}拼接成 67bit 数据，根据理想情况{3’b100,4{8’b1010_1010}}判断需要移位的位数并进行移位；完成移位操作后在每个 rxh_vld_{0..3}为 1 时刻检测 rxh_{0..3}是否为 3’b100 和 rxd_{0..3}是否为 2{8’b1010_1010}或 4{8’b1010_1010}，实时上报 o_pl_err[3:0]。

5. Instance_name_dut_top.v 模块

DUT 参考设计模块，在 IP 生成的 instance_name.v 的基础上加入了激励生成和错误检测模块。

6. Instance_name_if_top.v 模块

该模块为 instance_name_dut_top 的镜像模块，参数配置相同，不再阐述。

7. Instance_name_top.v 模块

对接模式顶层模块，在该模块实例化 instance_name_dut_top.v 和 instance_name_if_top.v，把数据差分端口连接起来；并提供了仿真所需的参考时钟 i_p_refckp_{0..1}和 i_free_clk 时钟，实现 TX/RX 上电流程。

8. Instance_name_top_tb.v 模块

对接模式的 Testbench 模块，包括仿真加速、仿真时长设置和测试结果判断等功能。

2.4.3 实例配置

该 Example Design 参数配置根据 IP 界面的配置自动生成，勿需另外配置。

2.4.4 实例仿真

在 Windows 系统下，IP 生成后，在<project_path>/sim/modelsim 路径下，双击*.bat 文件（参见“2.3.1 3　生成 IP”）即可运行仿真。

2.5 IP 接口描述

2.5.1 常用接口说明

1. 时钟域说明

- o_p_pll_lock_{0..1}、o_p_rx_sigdet_sta_{0..3}、o_p_lx_cdr_align_{0..3}、o_p_pcs_lsm_synced_{0..3}、o_p_pcs_rx_mcb_status_{0..3}的时钟在内部生成，没有输出，将其视为异步信号处理；
- master 通道说明：四条通道 Channel Bonding 模式下，Channel0 是 master 通道，两条通道 Channel Bonding 模式下，Channel0 和 Channel1 Bonding 时 Channel0 是 master 通道，Channel2 和 Channel3 Bonding 时 Channel2 是 master 通道；
- rxclk 在 CTC 开启时是该通道 TX 端的 o_p_clk2core_tx,在 Channel Bonding 功能开启时是 master 通道的 o_p_clk2core_rx 或 o_p_clk2core_tx（CTC 开启时是 o_p_clk2core_tx），其余情况是该通道的 o_p_clk2core_rx；
- txclk 在 Channel Bonding 功能开启时是 master 通道的 i_p_tx_clk_fr_core，否则是该通道的 i_p_tx_clk_fr_core。

2. 常用接口列表

表 2-12 常用接口列表[13]

接口名	时钟域	输入/输出	描述
复位序列接口[14]			
i_free_clk	clock	输入	用于复位序列逻辑的时钟，范围在 10~100MHz。
i_pll_rst_{0..1}	async	输入	复位 PLL 及驱动的 TX/RX 通道，高有效。

13 此列表只描述常用接口，其他接口请参见“2.3.1 2　配置 IP 参数”、“2.3.1 4　参数描述”、“2.5.2　可选接口说明”；HSSTLP IP 接口命名规则如下：

i_*表示输入接口，o_*表示输出接口；

命名中的{0..3}分别表示 0~3 的四个命名，如无特殊说明，分别对应 Channel 0~3，后面的参数命名遵循同样的规则。

14 复位序列接口统一约束：输出信号全部为 i_free_clk 时钟域；如果没有特殊说明，输入信号会在复位序列逻辑内部做 i_free_clk 时钟域同步处理，用户需要保证寄存输入。附录复位序列可选接口也有相同的约束。

接口名	时钟域	输入/输出	描述
o_pll_done_{0..1}	i_free_clk	输出	PLL 复位完成指示，高电平有效。 0：表示复位期间或 PLL 未完成 LOCK； 1：表示 PLL 完成 LOCK。
o_txlane_done_{0..3}	i_free_clk	输出	TX 侧复位完成指示，高电平有效，可作为用户逻辑的复位信号使用，在 bonding 情景下只使用 master 通道的指示信号即可。
o_tx_ckdiv_done_{0..3}	i_free_clk	输出	TX 侧速率切换完成指示，高电平有效，在 bonding 情景下只使用 master 通道的指示信号即可。
o_rxlane_done_{0..3}	i_free_clk	输出	RX 侧复位完成指示，高电平有效，可作为用户逻辑的复位信号使用，在 bonding 情景下只使用 master 通道的指示信号即可。
o_rx_ckdiv_done_{0..3}	i_free_clk	输出	RX 侧速率切换完成指示，高电平有效，在 bonding 情景下只使用 master 通道的指示信号即可。
HSSTLP 电源和复位接口（在不使用复位序列的情形下有效，使用复位序列时被复位序列功能代替）			
i_p_lane_pd_{0..3}	async	输入	对应 P_LANE_PD 接口。
i_p_pllpowerdown_{0..1}	async	输入	对应 P_PLLPOWERDOWN[15]接口。
i_p_tx_lane_pd_clkpath_{0..3}	async	输入	对应 P_TX_LANE_PD_CLKPATH 接口。
i_p_tx_lane_pd_piso_{0..3}	async	输入	对应 P_TX_LANE_PD_PISO 接口。
i_p_tx_lane_pd_driver_{0..3}	async	输入	对应 P_TX_LANE_PD_DRIVER 接口。
i_p_rx_lane_pd_{0..3}	async	输入	对应 P_RX_LANE_PD 接口。
i_p_lane_rst_{0..3}	async	输入	对应 P_LANE_RST 接口。
i_p_pll_rst_{0..1}	async	输入	对应 P_PLL_RST 接口。
i_p_tx_pma_rst_{0..3}	async	输入	对应 P_TX_PMA_RST 接口。
i_p_pcs_tx_rst_{0..3}	async	输入	对应 P_PCS_TX_RST 接口。
i_p_rx_pma_rst_{0..3}	async	输入	对应 P_RX_PMA_RST 接口。
i_p_pcs_rx_rst_{0..3}	async	输入	对应 P_PCS_RX_RST 接口。
APB 接口			
i_p_cfg_clk	clock	输入	对应 P_CFG_CLK 接口。
i_p_cfg_rst	i_p_cfg_clk	输入	对应 P_CFG_RST 接口。
i_p_cfg_psel	i_p_cfg_clk	输入	对应 P_CFG_PSEL 接口。
i_p_cfg_enable	i_p_cfg_clk	输入	对应 P_CFG_ENABLE 接口。

15 P_*为 HSSTLP 接口，具体参见 *《UG040008_Logos2 系列 FPGA 高速串行收发器(HSSTLP)用户指南》*上的描述，下同。

接口名	时钟域	输入/输出	描述
i_p_cfg_write	i_p_cfg_clk	输入	对应 P_CFG_WRITE 接口。
i_p_cfg_addr[15:0]	i_p_cfg_clk	输入	动态配置接口的地址总线，其中高 4bit 作为片选信号（地址空间映射参见表 2-2），低 12bit 对应 P_CFG_ADDR[11:0]接口。
i_p_cfg_wdata[7:0]	i_p_cfg_clk	输入	对应 P_CFG_WDATA[7:0]接口。
o_p_cfg_rdata[7:0]	i_p_cfg_clk	输出	对应 P_CFG_RDATA[7:0]接口。
o_p_cfg_int	i_p_cfg_clk	输出	对应 P_CFG_INT 接口。
o_p_cfg_ready	i_p_cfg_clk	输出	对应 P_CFG_READY 接口。
时钟接口			
i_p_refckn_{0..1}	clock	输入	对应 REFCLK_CML_N 接口。
i_p_refckp_{0..1}	clock	输入	对应 REFCLK_CML_P 接口。
o_p_clk2core_tx_{0..3}	clock	输出	对应 P_TCLK2FABRIC 接口。
i_p_tx{0..3}_clk_fr_core	clock	输入	对应 P_TX_CLK_FR_CORE 接口。
o_p_clk2core_rx_{0..3}	clock	输出	对应 P_RCLK2FABRIC 接口。
i_p_rx{0..3}_clk_fr_core	clock	输入	对应 P_RX_CLK_FR_CORE 接口。
状态接口			
o_p_pll_lock_{0..1}	async	输出	对应 P_PLL_READY 接口。
o_p_rx_sigdet_sta_{0..3}	async	输出	对应 P_RX_SIGDET_STATUS 接口。
o_p_lx_cdr_align_{0..3}	async	输出	对应 P_RX_READY 接口。
o_p_pcs_lsm_synced_{0..3}	async	输出	对应 P_PCS_LSM_SYNCED 接口。
o_p_pcs_rx_mcb_status_{0..3}	async	输出	对应 P_PCS_RX_MCB_STATUS 接口。
Serdes 侧串行差分接口			
i_p_l{0..3}rxn[16]	async	输入	对应 P_RX_SDN 接口。
i_p_l{0..3}rxp	async	输入	对应 P_RX_SDP 接口。
o_p_l{0..3}txn	async	输出	对应 P_TX_SDN 接口。
o_p_l{0..3}txp	async	输出	对应 P_TX_SDP 接口。
用户侧接口			
i_txd_{0..3}[x-1:0]	txclk	输入	数据 TXD 接口，其中 x 的值与参数 TX Fabric Data Width(Bits)一致， i_p_tx{0..3}_clk_fr_core 时钟域信号。
i_tdispsel_{0..3}[x-1:0]	txclk	输入	用于强制 8b10b 极性和从 I2 到 I1 的强制替换，

16 表示 HSSTLP 串行差分输入输出端口，命名不同，含义一致；

接口名	时钟域	输入/输出	描述
i_tdispctrl_{0..3}[x-1:0]	txclk	输入	{ i_tdispctrl_{0..3}，i_tdispsel_{0..3}}为 2'b00: 正常数据发送 2'b01: 根据 IEEE 802.3 1000BASE-X specification 协议，实现帧尾第一个 I1/I2 的选择，满足条件下自动实现从 I2 到 I1 的替换； 2'b10: 强制 8b10b 编码极性为负； 2'b11: 强制 8b10b 编码极性为正； 接口只有当 TX Encoder 参数配置为 8B10B 才有效；当 TX Fabric Data Width(Bits)=8 时，x=1；当 TX Fabric Data Width(Bits)=16 时，x=2，其中第 0bit 对应 i_txd_{0..3}[7:0]，第 1bit 对应 i_txd_{0..3}[15:8]；当 TX Fabric Data Width(Bits)=32 时，x=4，其中第 0bit 对应 i_txd_{0..3}[7:0]，第 1bit 对应 i_txd_{0..3}[15:8]，第 2bit 对应 i_txd_{0..3}[23:16]，第 3bit 对应 i_txd_{0..3}[31:24]。
i_txk_{0..3}[x-1:0]	txclk	输入	控制 TXK 接口，只有当 TX Encoder 参数配置为 8B10B 才有效，每一 bit 对应 8bits i_txd_{0..3}，对应关系参见 i_tdispsel_{0..3}[x-1:0]； 1 表示 TXD 为 IEEE 802.3 1000BASE-X Specification 的 8b10b Special Code-groups； 0 表示 TXD 为 IEEE 802.3 1000BASE-X Specification 的 8b10b Data Code-groups。
i_txq_{0..3}[6:0]	txclk	输入	控制 TXQ 接口，只有当 TX Encoder 参数配置为 64B66B_transparent、64B67B_transparent 才有效；表示用户侧 Sequence counter 输入； 其中，[5:0]用于 64B66B_transparent，[6:0]用于 64B67B_transparent。
i_txh_{0..3}[2:0]	txclk	输入	控制 TXH 接口，只有当 TX Encoder 参数配置为 64B66B_transparent、64B67B_transparent 才有效；表示同步字输入； 其中，[1:0]用于 64B66B_transparent，[2:0]用于 64B67B_transparent。
o_rxstatus_{0..3}[2:0]	rxclk	输出	用于 PCI Express PHY Interface (PIPE)接口的接收状态编码： 3'b000: 正常结束数据； 3'b001:CTC 模块执行了 SKIP add 操作； 3'b010: CTC 模块执行了 SKIP delete 操作； 3’b011:PCIe4byte 模式，连续删除； 3’b100:Bridge Over Flow； 3'b101: CTC FIFO Over Flow； 3'b110: CTC FIFO Under Flow； 3’b111:Bridge Under Flow。

接口名	时钟域	输入/输出	描述
o_rxd_{0..3}[x-1:0]	rxclk	输出	数据接口 RXD 接口，其中 x 的值与参数 RX Fabric Data Width(Bits)一致，i_p_rx{0..3}_clk_fr_core 时钟域信号。
o_rdisper_{0..3}[x-1:0]	rxclk	输出	RDISP_ER 接口，只有当 RX Encoder 参数配置为 8B10B 才有效，每一 bit 对应 8bits i_rxd_{0..3}，对应关系参见 i_tdispsel_{0..3}[x-1:0]，高电平表示 8b10b Decoder 检测到 Invalid Disparity。
o_rdecer_{0..3}[x-1:0]	rxclk	输出	RDEC_ER 接口，只有当 RX Encoder 参数配置为 8B10B 才有效，每一 bit 对应 8bits i_rxd_{0..3}，对应关系参见 i_tdispsel_{0..3}[x-1:0]，高电平表示 8b10b Decoder 检测到 Invalid Code。
o_rxk_{0..3}[x-1:0]	rxclk	输出	RXK 接口，只有当 RX Encoder 参数配置为 8B10B 才有效，每一 bit 对应 8bits i_rxd_{0..3}，对应关系参见 i_tdispsel_{0..3}[x-1:0]， 1 表示 RXD 为 IEEE 802.3 1000BASE-X Specification 的 8b10b Special Code-Groups； 0 表示 RXD 为 IEEE 802.3 1000BASE-X Specification 的 8b10b Data Code-Groups。
o_rxd_vld_{0..3}	rxclk	输出	RXD_VLD 接口，只有当 RX Decoder 参数配置为 64B66B_transparent、64B67B_transparent 才有效，每一 bit 对应的 16bit 或 32bit i_rxd_{0..3}， 1 表示 RXD 数据有效； 0 表示 RXD 数据无效。
o_rxh_{0..3}[2:0]	rxclk	输出	RXH 接口，只有当 RX Decoder 参数配置为 64B66B_transparent、64B67B_transparent 才有效，每一 bit 对应的 16bit 或 32bit i_rxd_{0..3}， 表示同步字输出； 其中，[1:0]对应 64B66B_transparent，[2:0]对应 64B67B_transparent。
o_rxh_vld_{0..3}	rxclk	输出	RXH_VLD 接口，只有当 RX Decoder 参数配置为 64B66B_transparent、64B67B_transparent 才有效，每一 bit 对应 3bit o_rxh_{0..3}， 1 表示 RXH 数据有效； 0 表示 RXH 数据无效。
o_rxq_start_{0..3}	rxclk	输出	RXQ_START 接口，只有当 RX Decoder 参数配置为 64B66B_transparent、64B67B_transparent 才有效。 1 表示 RXD 数据对应的 Sequence counter 为 0 的时刻； 0 表示 RXD 数据对应的 Sequence counter 不为 0 的时刻。

2.5.2 可选接口说明

在 IP 的 Misc 页，还提供了勾选项用来选择 HSSTLP 和复位序列的可选接口，具体见下表。

表 2-13 Misc 页可选接口配置参数说明

参数/配置选项	参数说明	时钟域
HSST 可选接口（HSST Optional Pins）		
P_REFCK2CORE_{0..1}	选择是否使能 o_p_refck2core_{0..1}(P_REFCK2CORE_{0..1})接口。	clock
TX{0..3}_CLK2_FR_CORE	选择是否使能 i_tx{0..3}_clk2_fr_core(P_TCLK2_FR_CORE)_{0..3}接口。	clock
TX{0..3} External PLL Ready	选择是否使能 i_pll_lock_tx_{0..3}接口。	async
TX{0..3} Swing Control	选择是否使能 i_p_lx_swing_ctl_0_{0..3}(P_TX_SWING_{0..3})接口。 当 i_p_lx_swing_ctl_0_{0..3}为： 1：表示摆幅值为 i_p_lx_margin_ctl_{0..3}[2:0]端口选择后的值的一半； 0：表示摆幅值为 i_p_lx_margin_ctl_{0..3}[2:0]端口选择后的值。 选择是否使能 i_p_lx_margin_ctl_{0..3}[2:0](P_TX_MARGIN_{0..3}[2:0]接口)。 当 i_p_lx_margin_ctl_{0..3}[2:0]为： x00：摆幅值对应参数 PMA_CH_REG_TX_AMP_DAC0； x01：摆幅值对应参数 PMA_CH_REG_TX_AMP_DAC1； x01：摆幅值对应参数 PMA_CH_REG_TX_AMP_DAC2； x01：摆幅值对应参数 PMA_CH_REG_TX_AMP_DAC3。	async
TX{0..3} ELECIDLE Enable	选择是否使能 ELECIDLE 接口 i_p_lx_elecidle_en_{0..3}[1:0] (P_TDATA_{0..3}[45:44])	async
TX{0..3}Beacon Enable	选择是否使能 Beacon 接口 i_p_tx_beacon_en_{0..3} (P_TX_BEACON_EN_{0..3})	async

参数/配置选项	参数说明	时钟域
TX{0..3} Rate Channel Select	选择是否使能 HSSTLP TX 速率切换接口： i_p_tx_ckdiv_{0..3}[1:0](P_TX_RATE_{0..3}) 以下端口与 PLL{0..1}对应，详细参见 *《UG040008_Logos2 系列 FPGA 高速串行收发器 (HSSTLP)用户指南》* i_p_lane_sync_{0..1}(P_LANE_SYNC_{0..1}) i_p_rate_change_tclk_on_{0..1}(P_RATE_CHANGE_TCLK_ON_{0..1}) 当使能复位序列时，不可选。	async
RX{0..3} Rate Channel Select	选择是否使能 HSSTLP RX 速率切换接口： i_p_lx_rx_ckdiv_{0..3}[1:0](P_RX_RATE_{0..1}) 当使能复位序列时，不可选。	async
TX{0..3} ELECIDLE Enable	选择是否使能 ELECIDLE 接口： i_p_lx_elecidle_en_{0..3}[1:0] (P_TDATA_{0..3}[45:44])。	async
RX{0..3}_CLK2_FR_CORE	选择是否使能 i_rx{0..3}_clk2_fr_core(P_RCLK2_FR_CORE)_{0..3}接口。	clock
RX{0..3} External PLL Ready	选择是否使能 i_pll_lock_rx_{0..3}接口。	async
RX{0..3}_Hi-z Control	选择是否使能 i_p_rx_highz_{0..3}(P_RX_HIGHZ_{0..3})接口。	async
RX{0..3} OOB Status	选择是否使能 o_p_lx_oob_sta_{0..3}(P_LX_OOB_STA_{0..3})接口。	async
RX{0..3} Detection	选择是否使能 Receiver Detect 接口： i_p_lx_rxdct_en_{0..3}(P_TX_RXDET_REQ_{0..3}) o_p_lx_rxdct_out_{0..3}(P_TX_RXDET_STATUS_{0..3})。	async
RX{0..3}_CLK_SLIP	选择是否使能 i_p_pcs_word_align_en_{0..3}(P_PCS_WORD_ALIGN_EN[3:0])接口。	async
RX{0..3} Polarity Invert	选择是否使能 i_p_rx_polarity_invert_{0..3}(P_RX_POLARITY_INVERT_{0..3})接口；	async

参数/配置选项	参数说明	时钟域
CH{0..3} Debug Bus	选择是否使能 5 种环回模式控制接口，分别是： i_p_pcs_nearend_loop_{0..3}(P_PCS_NEAREND_LOOP_{0..3})接口； i_p_pcs_farend_loop_{0..3}(P_PCS_FAREND_LOOP_{0..3})接口； i_p_pma_nearend_ploop_{0..3}(P_PMA_NEAREND_PLOOP_{0..3})接口； i_p_pma_nearend_sloop_{0..3}(P_PMA_NEAREND_SLOOP)_{0..3}接口； i_p_pma_farend_ploop_{0..3}(P_PMA_FAREND_PLOOP_{0..3})接口； 具体配置方法参见*《UG040008_Logos2 系列 FPGA 高速串行收发器(HSSTLP)用户指南》*；	async
复位序列可选接口（Reset Sequence Optional Pins）		
PLL{0..1} Reset	表示是否使能 i_pll_rst_{0..1}接口，仅作展示，用户不可选； i_pll_rst_{0..1}为复位序列的 PLL_{0..1}复位接口，高有效。	async
PLL{0..1} WatchDag Clear	表示是否使能 i_wtchdg_clr_{0..1}接口，仅作展示，用户不可选； i_wtchdg_clr_{0..1}为复位序列内部看门狗清空信号，高有效，用于清零看门狗内部告警计数器，仅做调试使用。	async
PLL{0..1} Status	表示是否使能 o_wtchdg_st_{0..1}[1:0]和 o_pll_done_{0..1}接口； o_wtchdg_st_{0..1}[1:0]复位序列看门狗状态指示信号，仅做调试使用： 2’b00：看门狗等待状态； 2'b10：看门狗告警状态； 2'b01：看门狗计数状态； o_pll_done_{0..1}为复位序列完成中间状态，高电平[17]有效，仅做调试使用。	i_free_clk

17 高脉冲：维持一个时钟周期的高电平，其他时刻均为低电平，下同。

参数/配置选项	参数说明	时钟域
RX{0..3} Reset	选择是否使能 i_rxlane_rst_{0..3}接口； i_rxlane_rst_{0..3}为复位序列 RX 侧复位信号，高有效； 当 CTC Mode（见参数说明）不是 Bypassed 时，由 i_txlane_rst_{0..3}统一控制； 当 Channel 0~3 为单 lane 模式，i_rxlane_rst_{0..3}独立控制 Channel 0~3； 当 Channel 0~3 为四 lane 模式，i_rxlane_rst_0 控制 Channel 0~3； 当 Channel 0~1 为双 lane 模式，i_rxlane_rst_0 控制 Channel 0~1； 当 Channel 2~3 为双 lane 模式，i_rxlane_rst_2 控制 Channel 2~3。	async
RX{0..3} Rate Change Select	选择是否使能复位序列的 i_rx_rate_chng_{0..3}和 i_rxckdiv_{0..3}[1:0] 接口； i_rx_rate_chng_{0..3}为复位序列速率切换使能，上升沿有效；当启动切速后 o_tx_ckdiv_done_{0..3}拉高时，才能响应下一个上升沿启动切速，i_free_clk 时钟域信号； 当 CTC Mode（见参数说明）不是 Bypassed 时，由 i_tx_rate_chng_{0..3}统一控制 TX/RX 速率切换； 当 Channel 0~3 为单 lane 模式，i_rx_rate_chng_{0..3}独立控制 Channel 0~3； 当 Channel 0~3 为四 lane 模式，i_rx_rate_chng_0 控制 Channel 0~3； 当 Channel 0~1 为双 lane 模式，i_rx_rate_chng_0 控制 Channel 0~1； 当 Channel 2~3 为双 lane 模式，i_rx_rate_chng_2 控制 Channel 2~3； 当 Channel 0~3 有多条单 lane 或者双 lane 和单 lane 混合时，只有当工作的 Channel 对应的 o_rxlane_done_{0..3}全部置 1 后，RX 侧才可以速率切换； i_rxckdiv_{0..3}[1:0] 与 P_RX_RATE[1:0]含义一致，需要在 i_rx_rate_chng_{0..3}上升沿到来前保持稳定，i_free_clk 时钟域信号。	async

参数/配置选项	参数说明	时钟域
RX{0..3} Debug Bus	选择是否使能 i_hsst_fifo_clr_{0..3}和 i_loop_dbg_{0..3}[2:0]接口、i_pcs_cb_rst_{0..3}； i_hsst_fifo_clr_{0..3}仅在双 lane 模式或者四 lane 模式且 Channel Bonding Mode（见参数说明）为 Bypassed 时才有效，可以在 o_txlane_done_{0..3}置起后，输入高脉冲控制清空 HSSTLP RX PCS 的内部 FIFO； 在双 lane 或者四 lane 模式且 Channel Bonding Mode（见参数说明）不为 Bypassed，此时由复位序列内部信号 fifo_clr_en_{0..3}替代； 在复位序列使能时，i_loop_dbg_{0..3}[2:0] 用于环回配置，须配合*《UG040008_Logos2 系列 FPGA 高速串行收发器(HSSTLP)用户指南》*定义的环回模式指导方法使用： 其中， i_loop_dbg_{0..3}[0]位为 1 表示强制 IP 复位序列认为 sigdet 为高，但不影响正常的 sigdet 状态指示，一般用在（包括但不仅限于）近端并行环回和接收数据突发式传输场景； i_loop_dbg_{0..3}[1]位为 1 表示强制 IP 复位序列认为 cdr align 为高，但不影响正常的 cdr align 状态指示，一般用在（包括但不仅限于）近端并行环回和接收数据突发式传输等场景； i_loop_dbg_{0..3}[2]位为 1 表示强制 IP 复位序列认为 word align 为高，但不影响正常的 word align 状态指示，一般用在（包括但不仅限于）使能 word align 但接收数据不包含同步头的测试数据等场景； 非环回模式：配置为 3’b000 （默认值)； PMA 远端并行环回：配置为 3’b000； PMA 近端并行环回：配置为 3’b011； PMA 近端串行环回：配置为 3’b000； PCS 远端并行环回：配置为 3’b000； PCS 近端并行环回：配置为 3’b011； 用户逻辑环回模式：配置为 3’b111； i_pcs_cb_rst_{0..3}可用于复位 Channel Bonding 及其之后的模块，高电平有效。	async

参数/配置选项	参数说明	时钟域
TX{0..3} Reset	选择是否使能 i_txlane_rst_{0..3}接口； i_txlane_rst_{0..3}为复位序列 TX 侧复位信号，高有效； 当 Channel 0~3 为单 lane 模式，i_txlane_rst_{0..3}独立控制 Channel 0~3； 当 Channel 0~3 为四 lane 模式，i_txlane_rst_0 控制 Channel 0~3； 当 Channel 0~1 为双 lane 模式，i_txlane_rst_0 控制 Channel 0~1； 当 Channel 2~3 为双 lane 模式，i_txlane_rstn_2 控制 Channel 2~3； 当有通道与双 lane 模式的通道共用一个 PLL 时，必须同时进行复位操作。	async
TX{0..3} Rate Change Select	选择是否使能复位序列的 i_tx_rate_chng_{0..3}，i_txckdiv_{0..3}[1:0]接口； i_tx_rate_chng_{0..3}速率切换使能，上升沿有效；当启动切速后 o_rx_ckdiv_done_{0..3}拉高时，才能响应下一个上升沿启动切速，i_free_clk 时钟域信号； 当 Channel 0~3 为单 lane 模式，i_tx_rate_chng_{0..3}独立控制 Channel 0~3； 当 Channel 0~3 为四 lane 模式，i_tx_rate_chng_0 控制 Channel 0~3； 当 Channel 0~1 为双 lane 模式，i_tx_rate_chng_0 控制 Channel 0~1； 当 Channel 2~3 为双 lane 模式，i_tx_rate_chng_2 控制 Channel 2~3； i_txckdiv_{0..3}[1:0] 与 P_TX_RATE [1:0]含义一致，需要在 i_tx_rate_chng_{0..3}上升沿到来前保持稳定，i_free_clk 时钟域信号； 来自相同 PLL 的 lane 须在同一时刻进行速率切换；当 2 条 lane 以上来自相同 PLL 时，若只对单条 lane 进行速率切换，须通过 APB 接口对不进行速率切换的 lane 执行屏蔽操作，具体参见*《UG040008_Logos2 系列 FPGA 高速串行收发器(HSSTLP)用户指南》*。	async

2.6 IP 寄存器描述

本节介绍 HSSTLP IP 相关寄存器说明及访问方式。

2.6.1 寄存器说明

HSST 的寄存器说明请参见*《UG040008_Logos2 系列 FPGA 高速串行收发器(HSSTLP)用户指南》*[8]。

2.6.2 寄存器访问

用户通过 APB 总线接口可实现对所有 LANE 和 PLL 的配置寄存器访问，请参见“2.2.2　APB Bridge”。

2.7 典型应用

HSSTLP IP 的典型应用请参见“2.4　Example Design”。

2.8 说明与注意事项

2.8.1 RXPCS Align Timer 计算方法

$$\mathrm{PCS\_RCLK} = \frac{\mathrm{LINE\_RATE\ Gbps} * 10^{3}}{\mathrm{INNER\_WIDTH}}\ \mathrm{MHz}$$

$$\mathrm{TIME0} = \left(\mathrm{JUMBO\_FRAME\_LEN} * \mathrm{JUMBO\_FRAME\_NUM} * 8) * \frac{1}{\mathrm{PCS\_RCLK}}\right) \Big/ \mathrm{INNER\_WIDTH}$$

$$\mathrm{TIME1} = \frac{1}{\mathrm{FREE\_CLK}}$$

$$\mathrm{RXPCS\ Align\ Timer} = \frac{\mathrm{TIME0}}{\mathrm{TIME1}} = \left(\mathrm{JUMBO\_FRAME\_LEN} * \mathrm{JUMBO\_FRAME\_NUM} * 8) * \frac{1}{\mathrm{PCS\_RCLK}}\right) \Big/ \mathrm{INNER\_WIDTH} \Big/ \frac{1}{\mathrm{FREE\_CLK}}$$

$$= \frac{(\mathrm{JUMBO\_FRAME\_LEN} * \mathrm{JUMBO\_FRAME\_NUM} * 8) * \dfrac{1}{\mathrm{LINE\_RATE\ Gbps} * 10^{3} / \mathrm{INNER\_WIDTH}}}{\mathrm{INNER\_WIDTH}} \Big/ \frac{1}{\mathrm{FREE\_CLK}}$$

$$= \frac{\mathrm{JUMBO\_FRAME\_LEN} * \mathrm{JUMBO\_FRAME\_NUM} * 8 * \mathrm{FREE\_CLK}}{\mathrm{LINE\_RATE} * 10^{3}}$$

其中：

JUMBO_FRAME_LEN 表示一个巨型帧长度，单位为字节。

JUMBO_FRAME_NUM 表示巨型帧个数。

LINE_RATE 为线速率，单位是 Gbps。

FREE_CLK 是自由时钟，10~100MHz。

INNER_WIDTH 表示 HSST 的 PCS 内部数据位宽。

PCS_CLK 表示 HSST 的 PCS 内部工作时钟。

2.8.2 时钟约束

在应用中，PDS 软件会自动将 HSSTLP 输出的时钟 o_p_clk2core_tx_{0..3}、o_p_clk2core_rx_{0..3} 约束到区域时钟或者全局时钟上，需要关注 o_p_clk2core_tx_{0..3}、o_p_clk2core_rx_{0..3}在 PDS 布线后的时钟路径是否满足设计意图。可以通过 PDS 软件对时钟属性进行约束，也可以通过编辑.fdc 文件的时钟属性来约束。以本文的应用实例为例，编辑.fdc 的约束方法如下。

将时钟 o_p_clk2core_tx_{0..3}约束到全局时钟：

```
define_attribute {t:U_INST.o_p_clk2core_tx_0} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFG}
define_attribute {t:U_INST.o_p_clk2core_tx_1} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFG}
define_attribute {t:U_INST.o_p_clk2core_tx_2} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFG}
define_attribute {t:U_INST.o_p_clk2core_tx_3} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFG}
```

将时钟 o_p_clk2core_tx_{0..3}约束到区域时钟：

```
define_attribute {t:U_INST.o_p_clk2core_tx_0} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFR}
define_attribute {t:U_INST.o_p_clk2core_tx_1} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFR}
define_attribute {t:U_INST.o_p_clk2core_tx_2} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFR}
define_attribute {t:U_INST.o_p_clk2core_tx_3} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFR}
```

2.8.3 物理位置约束

在应用中，需要根据实际单板通过 PDS 在.fdc 文件中对 HSSTLP 的 LANE、PLL、PLL 的差分时钟输入管脚进行物理位置约束，可以通过 PDS 软件对物理位置进行约束，也可以通过编辑.fdc 文件的物理位置来约束。以本文的应用实例为例，编辑.fdc 的约束方法如下。

注意：

在对 PLL 的差分时钟输入管脚进行物理位置约束时：

- PG2L50H、PG2L25H：软件必须为 2022.1 及以上版本。
- PG2L100H：软件必须为 2021.1-SP7.2、2021.4-SP1、2022.1 及以上版本。
- PG2L200H：软件必须为 2022.2 及以上版本。
- PG2L100HX：软件版本要求请咨询 FAE。

约束到 HSSTLP 的 LANE0：

```
define_attribute {i:U_INST.U_GTP_HSSTLP_WRAPPER.CHANNEL0_ENABLE.U_GTP_HSSTLP_LANE0} {PAP_LOC} {HSSTLP_364_918:U0_HSSTLP_LANE}
```

约束到 HSSTLP 的 PLL0：

```
define_attribute {i:U_INST.U_GTP_HSSTLP_WRAPPER.PLL0_ENABLE.U_GTP_HSSTLP_PLL0} {PAP_LOC} {HSSTLP_364_918:U0_HSSTLP_PLL}
```

约束 PLL0、PLL1 的差分时钟输入管脚到 CLK0、CLK1 差分输入管脚：

```
define_attribute {p:i_p_refckn_0} {PAP_IO_DIRECTION} {INPUT}
define_attribute {p:i_p_refckn_0} {PAP_IO_LOC} {E13}
define_attribute {p:i_p_refckn_0} {PAP_IO_VCCIO} {3.3}
define_attribute {p:i_p_refckn_0} {PAP_IO_STANDARD} {LVCMOS33}
define_attribute {p:i_p_refckn_0} {PAP_IO_UNUSED} {TRUE}
define_attribute {p:i_p_refckp_0} {PAP_IO_DIRECTION} {INPUT}
define_attribute {p:i_p_refckp_0} {PAP_IO_LOC} {F13}
define_attribute {p:i_p_refckp_0} {PAP_IO_VCCIO} {3.3}
define_attribute {p:i_p_refckp_0} {PAP_IO_STANDARD} {LVCMOS33}
define_attribute {p:i_p_refckp_0} {PAP_IO_UNUSED} {TRUE}
define_attribute {p:i_p_refckn_1} {PAP_IO_DIRECTION} {INPUT}
define_attribute {p:i_p_refckn_1} {PAP_IO_LOC} {E11}
define_attribute {p:i_p_refckn_1} {PAP_IO_VCCIO} {3.3}
define_attribute {p:i_p_refckn_1} {PAP_IO_STANDARD} {LVCMOS33}
define_attribute {p:i_p_refckn_1} {PAP_IO_UNUSED} {TRUE}
define_attribute {p:i_p_refckp_1} {PAP_IO_DIRECTION} {INPUT}
define_attribute {p:i_p_refckp_1} {PAP_IO_LOC} {F11}
define_attribute {p:i_p_refckp_1} {PAP_IO_VCCIO} {3.3}
define_attribute {p:i_p_refckp_1} {PAP_IO_STANDARD} {LVCMOS33}
define_attribute {p:i_p_refckp_1} {PAP_IO_UNUSED} {TRUE}
```

2.8.4 应用限制说明

在应用中，当通道的 TX 端、RX 端使用不同 PLL 提供时钟时：

- RX 使用的 PLL 与 TX 使用的 PLL 需同时复位，不能单独复位；
- TX 端 PLL 锁定需要检测到两个 PLL 均 lock，即 o_p_pll_lock_{0..1}均为高电平。

在 SATA 等支持 OOB 功能的应用中，物理层初始化时链路的 Electric Idle 状态可能导致 HSST RX 信号检测状态拉低，复位序列会重新对 RX PMA 进行复位，建议在此类应用中设计独立的复位序列。

2.9 IP 调试手段

针对用户实例化 IP 遇到的常见问题，这里列出一些定位方法。

2.9.1 PLL LOCK 不成功

一般地，用户通过在 fdc 文件约束参考时钟管脚来完成 HSSTLP 的参考时钟来源配置，参见“2.8.2　时钟约束”，“2.8.3　物理位置约束”；当出现 PLL LOCK 失败时，无论参考时钟是否共享，须先进行时钟管脚约束排查，保证约束和实际应用场景一致。

2.9.2 环回模式不成功

一般地，用户使用端口控制 HSSTLP 进入环回模式，需在 IP 界面勾选 CH{0..3}_Debug_bus 和 RX{0..3}_Debug_bus 选项，如果出现环回数据流收发有问题，则须排查端口 i_loop_dbg_{0..3}赋值是否符合要求，参见表 2-13。

2.9.3 Word Align 不成功

一般地，用户使能 HSSTLP 的 Word Align 功能，当出现 Word Align 不成功时，首先排查 RX 接收数据流是否包含 COMMA 码，然后排查所包含 COMMA 码与 IP 界面配置 COMMA 码是否匹配，最后排查 Word Align Mode 配置。

其中，CUSTOMRIZED_MODE 表示 HSSTLP 只完成边界对齐，需要 Fabric 侧实现同步状态机，GE_MODE 适用 GE 协议，RAPIDIO_MODE 适用 RAPIDIO 协议，其他协议则配置 XAUI_MODE，参见表 2-4。

第3章 附录

3.1 参考文档

[1] Pango_Design_Suite_Quick_Start_Tutorial

[2] Pango_Design_Suite_User_Guide

[3] IP_Compiler_User_Guide

[4] Simulation_User_Guide

[5] User_Constraint_Editor_User_Guide

[6] Physical_Constraint_Editor_User_Guide

[7] Route_Constraint_Editor_User_Guide

[8] UG040008_Logos2 系列 FPGA 高速串行收发器(HSSTLP)用户指南

[9] UG042002_Logos2 系列产品 3G-SDI IP 用户指南

3.2 术语表

3

3G-SDI　SMPTE STANDARD, Source Image Format and Ancillary Data Mapping for the 3 Gb/s Serial Interface

A

APB　Advanced Peripheral Bus

C

CDR　Clock Data Recovery

CTC　Clock Tolerance Compensation

G

GE 1000BASE-X

H

HSSTLP High Speed Serial Transceiver Low Performance

P

PCIE PCI Express

S

SerDes Serializer Deserializer

SGMII Serial-GMII Specification

X

XAUI 10 Gigabit Attachment Unit interface

3.3 缩略语表

I

IPC IP Compiler

P

PDS Pango Design Suite

3.4 声明

3.4.1 版权声明

3.4.2 免责声明

1、本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因本文档使用不当造成的直接或间接损失，本公司不承担任何法律责任。

2、本文档按现状提供，不负任何担保责任，包括对适销性、适用于特定用途或非侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。

3、公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。