

**HSSTHP IP**  
**用户指南**  
**(UG051004,V1.10)**  
**(2023-08-30)**

深圳市紫光同创电子有限公司

版权所有 侵权必究

## 文档版本修订记录

日期	文档版本	修订记录	适用 IP 及对应版本
2020-11-30	V1.0	1. 初稿。	V1.0
2020-12-30	V1.1	1. 增加内部位宽参数描述和勘误。	V1.1 V1.1a
2021-02-27	V1.2	1. 增加 loop_dbg 端口含义及使用描述； 2. 增加仿真加速描述。	V1.2 V1.2a
2021-05-10	V1.3	1. 增加 APB bridge 地址映射示例； 2. 复位序列增加 Channel Bonding 状态异常处理的描述； 3. 更新了 Example Design 激励部分，增加 128B130B_transparent 模式、64B66B_cau_transparent 模式的激励描述和时序图； 4. 增加 HSSTHP 参考时钟管脚约束注意事项； 5. 笔误修改和格式调整。	V1.3
2021-05-18	V1.3a	1. 更新了配置 IP 参数章节，增加 HSSTHP 物理位置和电阻校正描述； 2. 更新注意事项章节，增加电阻校正使用指导。	V1.3a
2021-06-25	V1.4	1. 支持最大速率改为 12.5Gbps； 2. 增加复位有效保持时间描述； 3. 增加 TX/RX 电阻校正配置描述； 4. 增加端口 i_txlane_rst 在 CTC 使能时的复位说明。	V1.4
2021-07-22	V1.4a	1. 增加 IP 界面 RX 信号检测阈值参数说明。	V1.4a
2021-08-31	V1.5	1. 完善页面排版，规范格式； 2. 增加 IP 版本变更记录； 3. 完善 IP 框图相关描述，增加复位序列相关标题描述，参见“2.2 IP 框图”； 4. 完善模块例化相关描述，添加 PDS 版本要求，参见“2.3.1 模块例化”； 5. 增加 IP 界面配置参数默认值描述，参见“2.3.1.4 参数描述”； 6. 完善资源利用相关描述，参见“2.3.5 资源利用”； 7. 增加 TXPMA, TXPCS, RXPMA 和 RXPCS 复位端口描述，参见“2.5.2 可选接口说明”； 8. 增加 bonding 状态看门狗使能端口描述，参见“2.5.2 可选接口说明”； 9. 增加“2.6 IP 寄存器描述”、“2.7 典型应用”、“2.9 IP 调试手段”相关说明。	V1.5

日期	文档版本	修订记录	适用 IP 及对应版本
2021-10-17	V1.5a	<ol style="list-style-type: none"> <li>1. 增加 V1.5a 版本对应的 IP 版本变更记录；</li> <li>2. 规范文档版本修订记录、IP 版本变更记录格式；</li> <li>3. 更新行文规范说明列表名称，参见表 1-1；</li> <li>4. 完善模块例化相关描述，更新 IP 选择路径界面截图，参见“2.3.1 模块例化”；</li> <li>5. 新增支持 64b66b, 64b67b 位宽移位触发模式的参数配置描述，参见“表 2-3 Protocol and Rate 页参数表”；</li> <li>6. 新增参考时钟动态切换仿真的参数配置描述，参见“表 2-5 Misc 页参数表”；</li> <li>7. 完善 IP 生成后输出文件描述，添加 readme 文件说明，参见“2.3.1 3 生成 IP”。</li> </ol>	V1.5a
2021-11-05	V1.5b	<ol style="list-style-type: none"> <li>1. 增加 V1.5b 版本对应的 IP 版本变更记录；</li> <li>2. 规范表目录、图目录、正文表格格式；</li> <li>3. 更新配置参数说明列表名称，参见表 2-3、表 2-4、表 2-5、表 2-13；</li> <li>4. 新增端口 i_p_rx_data_sel 选择 8b10b, IP 复位序列实时监控 Word Align 的描述，参见“注意”；</li> <li>5. 完善 IP 生成后输出文件描述，参见表 2-6；</li> <li>6. 增加 LPLL 复位说明，参见“2.8.8 LPLL 复位说明”。</li> </ol>	V1.5b
2021-12-22	V1.5b	<ol style="list-style-type: none"> <li>1. 增加 V1.5c 版本对应的 IP 版本变更记录；</li> <li>2. 更新“文档版本修订记录”，完善“适用 IP 及对应版本”及“日期”相关信息。</li> </ol>	V1.5c
2022-01-20	V1.6	<ol style="list-style-type: none"> <li>1. 增加 V1.6 版本对应的 IP 版本变更记录；</li> <li>2. 增加 4byte COMMA 边界对齐模式及端口描述，参见“表 2-4 Alignment and CTC 页配置参数说明”；</li> <li>3. 更新资源利用列表，完善资源利用典型值相关描述，参见表 2-8。</li> </ol>	V1.6
2022-04-30	V1.7	<ol style="list-style-type: none"> <li>1. 增加 V1.7 版本对应的 IP 版本变更记录；</li> <li>2. 更新软件版本要求，参见“推荐”；</li> <li>3. 更新 IP 配置参数界面截图，参见图 2-13；</li> <li>4. 更新 IP 配置参数说明，参见表 2-3；</li> <li>5. 更新参数描述，参见表 2-7。</li> </ol>	V1.7
2022-08-31	V1.8	<ol style="list-style-type: none"> <li>1. 增加 V1.8 版本对应的 IP 版本变更记录；</li> <li>2. 更新 Rx Signal Detect Vth 参数说明，参见表 2-5；</li> <li>3. 更新 RX{0..3} Debug Bus 参数说明，完善对 i_loop_dbg 接口的描述，参见表 2-13；</li> </ol>	V1.8

日期	文档版本	修订记录	适用 IP 及对应版本
		4. 完善 Protocol and Rate 页配置中关于 CUSTOMERIZEDx2/x4 模式的说明, 参见表 2-3。	
2022-09-30	V1.8a	1. 增加 V1.8a 版本对应的 IP 版本变更记录; 2. 增加 Protocol and Rate 页配置中关于 TX_CUSTOMERIZEDx2/x4 模式的说明, 参见表 2-3。	V1.8a
2023-04-07	V1.8c	1. 增加 V1.8c 版本对应的 IP 版本变更记录。	V1.8c
2023-05-31	V1.9	1. 增加 V1.9 版本对应的 IP 版本变更记录; 2. 更新适用器件说明, 参见表 2-1; 3. 更新软件版本要求, 参见“注意”; 4. 更新器件资源利用说明, 参见表 2-8; 5. 新增对 PLL 的差分时钟输入管脚进行物理约束的软件版本要求说明, 参见“注意”; 6. 更新参考时钟管脚约束, 参见表 2-14; 7. 依据命名规范更新封面及文件命名。	V1.9
2023-08-30	V1.10	1. 增加 V1.10 版本对应的 IP 版本变更记录; 2. 更新复位序列对输入控制信号 i_hpll_wtchdg_clr、i_bond_wtchdg_clr、i_lpll_wtchdg_clr、i_txckdiv、i_rxckdiv 以及 i_loop_dbg 所在时钟域说明, 参见表 2-13。	V1.10

## IP 版本变更记录

IP 版本	更新说明	发布时间
V1.0	1. 初始版本。	2020-12-01
V1.1	1. 支持部分频点配置； 2. 增加内部位宽参数组件，支持 32/40bit 场景内部位宽可配置； 3. IP 界面的 HPLL 参考时钟下拉菜单按照升序排序； 4. i_debug_bus 端口勾选时，端口 polarity_invert 和 tx_beacon_en 不受影响； 5. RXPMA 设置为仅支持外部 AC 内部 DC 耦合模式。	2020-12-31
V1.1a	1. 根据实验室测试情况刷新了 PMA 默认参数配置； 2. 增加仿真加速宏，使能时 CDR 能更快锁定，减少仿真时间； 3. IP 复位序列中 pll_ready 区分 tx 和 rx； 4. tx_sync 端口改为异步传递，解决参考时钟来源 PAD1 无法 lock 问题。	2021-01-20
V1.2	1. 使能 TX FFE 时开放端口 i_tx_deemp_post_sel_x； 2. comma-配置有误，改为 IP 界面配置的 comma+取反； 3. 内部 prbs 位宽改为和用户数据内部位宽一致，便于用户调试。	2021-02-27
V1.2a	1. 在 V1.2 版本基础上，解决在 bonding 场景时，使能 CTC 功能导致 IP 界面报错问题。	2021-03-02
V1.3	1. 删除了 IP RTL 中的配置参数映射逻辑，移植到软件脚本 calcParams.tcl 实现； 2. 新增基于 HPLL、BUFDS/LANE 模型参数配置模块，便于用户工程移植； 3. 支持通过时钟管脚 fdc 约束确定当前使用的参考时钟来源； 4. IP 界面支持每个通道配置工作在 LEQ 或 DFE 模式。	2021-05-09
V1.3a	1. 增加电阻校正逻辑功能。	2021-05-18
V1.4	1. 增加了 LPLL 参考时钟实时监控功能； 2. 更新了 HPLL 和 LPLL 锁定精度的默认配置； 3. 同步了 PMA 提供的 TX/RX PI 相关参数配置； 4. IP 界面增加了端接电阻可配置功能，可选择是否来自电阻校正逻辑； 5. 优化 TX 切速完成时间为 1us。	2021-06-26
V1.4a	1. 更新 RX 信号检测阈值为 72mV； 2. 增加了 IP 界面 RX 信号检测阈值可配置功能； 3. 修复 IP 界面配置级联参考时钟报错问题。	2021-07-24
V1.5	1. IP 界面增加 8b10b 和 64b66b 模式数据端口扩展功能，支持不同类型数据动态切换功能； 2. IP 复位序列支持 HPLL 和 LPLL 动态切换功能； 3. 修改初始化时序，CDR 锁定后再解复位 CTLE 校正电路，解决高温极限插损时出现误码问题； 4. IP 界面增加 bonding 状态指示看门狗的使能端口，便于用户调试。	2021-08-31

IP 版本	更新说明	发布时间
V1.5a	<ol style="list-style-type: none"> <li>支持参考时钟动态切换仿真；</li> <li>支持 64b66b, 64b67b 场景移位触发方式配置；</li> <li>UG 更新。</li> </ol>	2021-10-17
V1.5b	<ol style="list-style-type: none"> <li>修复使用 8b10b 数据端口扩展功能时, IP 复位序列监控 Word Align 状态未适配问题；</li> <li>修复在使用参考时钟动态切换仿真时, 仿真加速宏命名有误问题；</li> <li>UG 更新。</li> </ol>	2021-11-05
V1.5c	<ol style="list-style-type: none"> <li>修复端口 i_lpll_wtchdg_clr_x 未连接到 IP 复位序列问题。</li> </ol>	2021-12-22
V1.6	<ol style="list-style-type: none"> <li>新增 4byte COMMA 边界对齐功能；</li> <li>支持 IP 界面弹窗提示功能可配置；</li> <li>修复配置 PLL 的参考时钟来源为 fabric 时软件布线阻塞问题；</li> <li>修复使能 CTC, 动态切速时 RX 串行分频比与 TX 不一致问题；</li> <li>UG 更新。</li> </ol>	2022-01-20
V1.7	<ol style="list-style-type: none"> <li>修复 V1.6 版本引入的影响 Bonding 概率失败的问题；</li> <li>限制使用 LPLL 时线速率配置的有效范围为 0.6~6.6Gbps, 使用 HPLL 时线速率配置的有效范围为 1.125~8Gbps, 9~12.5Gbps；</li> <li>UG 更新。</li> </ol>	2022-04-30
V1.8	<ol style="list-style-type: none"> <li>修复使能 HPLL/LPLL 动态切换控制端口时, 线速率配置有效范围不匹配的问题；</li> <li>IP 界面 RX 信号检测阈值不再开放 54/63MV 配置项, 仅保留 72MV 默认配置；</li> <li>UG 更新。</li> </ol>	2022-08-31
V1.8a	<ol style="list-style-type: none"> <li>IP 新增 TX_CUSTOMERIZEDx2/x4 协议选项；</li> <li>UG 更新。</li> </ol>	2022-09-30
V1.8c	<ol style="list-style-type: none"> <li>修复 IP 配置界面的 Fabric Clock 频率和实际测算的时钟频率不一致的问题。</li> </ol>	2023-04-07
V1.9	<ol style="list-style-type: none"> <li>新增支持器件 PG2K400；</li> <li>UG 更新。</li> </ol>	2023-05-31
V1.10	<ol style="list-style-type: none"> <li>优化多个 IP 共用一个 QUAD 的情况下, 时钟同步控制信号连线可能存在冲突的问题；</li> <li>优化复位序列对异步输入控制信号的逻辑处理；</li> <li>更新 modelsim 仿真脚本, 支持高版本 modelsim 仿真工具；</li> <li>UG 更新。</li> </ol>	2023-08-30

## 目录

文档版本修订记录 .....	2
IP 版本变更记录 .....	5
第 1 章 前言 .....	11
1.1 关于本手册 .....	11
1.2 手册行文规范 .....	11
第 2 章 IP 使用指南 .....	12
2.1 IP 简介 .....	12
2.1.1 主要特性 .....	12
2.1.2 适用器件及封装 .....	13
2.2 IP 框图 .....	13
2.2.1 HSSTHP .....	14
2.2.2 APB Bridge .....	14
2.2.3 复位序列 .....	14
2.3 IP 生成流程 .....	19
2.3.1 模块例化 .....	19
2.3.2 约束配置 .....	35
2.3.3 运行仿真 .....	36
2.3.4 综合与布局布线 .....	36
2.3.5 资源利用 .....	36
2.4 Example Design .....	37
2.4.1 设计框图 .....	37
2.4.2 模块说明 .....	38
2.4.3 实例配置 .....	43
2.4.4 实例仿真 .....	43
2.5 IP 接口描述 .....	44
2.5.1 常用接口说明 .....	44
2.5.2 可选接口说明 .....	50
2.6 IP 寄存器描述 .....	55
2.6.1 寄存器说明 .....	55
2.6.2 寄存器访问 .....	56
2.7 典型应用 .....	56
2.8 说明与注意事项 .....	56
2.8.1 RXPCS Align Timer 计算方法 .....	56
2.8.2 时钟约束 .....	57
2.8.3 物理位置约束 .....	57
2.8.4 管脚约束 .....	58
2.8.5 仿真加速 .....	58
2.8.6 电阻校正 .....	59
2.8.7 参考时钟切换仿真 .....	59
2.8.8 LPLL 复位说明 .....	59
2.9 IP 调试手段 .....	60
2.9.1 PLL LOCK 不成功 .....	60

2.9.2 环回模式不成功.....	60
2.9.3 Word Align 不成功.....	60
第 3 章 附录.....	61
3.1 参考文档.....	61
3.2 术语表.....	61
3.3 缩略语表.....	62
3.4 声明.....	62
3.4.1 版权声明.....	62
3.4.2 免责声明.....	62

## 表目录

表 1-1 行文规范说明.....	11
表 2-1 HSSTHP IP 适用器件及封装 .....	13
表 2-2 APB 地址映射 .....	14
表 2-3 Protocol and Rate 页配置参数说明 .....	22
表 2-4 Alignment and CTC 页配置参数说明 .....	26
表 2-5 Misc 页配置参数说明.....	28
表 2-6 HSSTHP IP 生成后的输出文件.....	32
表 2-7 参数描述列表.....	33
表 2-8 HSSTHP IP 基于适用器件的资源利用典型值.....	36
表 2-9 8B10B 使能时的数据格式 .....	39
表 2-10 64B66B_transparent 模式发送 Pattern .....	40
表 2-11 64B67B_transparent 模式发送 Pattern.....	40
表 2-12 常用接口列表.....	44
表 2-13 Misc 页可选接口配置参数说明.....	50
表 2-14 参考时钟管脚分布.....	58
表 2-15 电阻校正端口描述.....	59

## 图目录

图 2-1 HSSTHP IP 结构框图 .....	13
图 2-2 Channel Bonding 场景 Tx 时钟同步时序图 .....	15
图 2-3 Channel Bonding 场景 Rx 对齐操作时序图 .....	16
图 2-4 HPLL 长时间不 LOCK 重新上电复位时序图 .....	16
图 2-5 LPLL 长时间不 LOCK 重新上电复位时序图 .....	17
图 2-6 Rx Channel 无信号输入时的异常恢复时序图 .....	17
图 2-7 CDR 长时间不 LOCK 的异常恢复时序图 .....	18
图 2-8 CDR LOCK 拉低的异常恢复时序图 .....	18
图 2-9 PCS Word Align 拉低的异常恢复时序图 .....	19
图 2-10 HSSTHP IP 选择路径界面 .....	20
图 2-11 工程例化界面 .....	20
图 2-12 HSSTHP IP 接口框图 .....	21
图 2-13 配置 HSSTHP IP 参数界面 .....	21
图 2-14 HSSTHP IP 生成报告界面 .....	31
图 2-15 HSSTHP IP Example Design 框图 .....	37
图 2-16 128B130B_transparent 模式 32bit 位宽时序 .....	40
图 2-17 128B130B_transparent 模式 64bit 位宽时序 .....	41

## 第1章 前言

本章讲述本手册的适用范围、手册结构及相关行文规范，帮助用户快速查找所需的信息。

### 1.1 关于本手册

本手册为紫光同创推出的 HSSTHP ( High Speed Serial Transceiver High Performance ) IP 产品的用户指南。本手册内容主要包括 IP 使用指南及相关附录。通过本手册用户可以快速了解 HSSTHP IP 相关特性及使用方法。

### 1.2 手册行文规范

表 1-1 行文规范说明

文字	使用原则
注意	若用户忽略注意内容，可能会因误操作而带来一定的不良后果或者无法成功操作。
说明	提供给用户的说明和提示。

## 第2章 IP 使用指南

本章讲述 HSSTHP IP 相关使用指南，内容包括 IP 简介、IP 框图、IP 生成流程、Example Design、IP 接口描述、IP 寄存器描述、典型应用、说明与注意事项、IP 调试手段。更多设计流程相关详细信息可以参见下述 PDS 帮助文档。

- *Pango\_Design\_Suite\_Quick\_Start\_Tutorial*[1]
- *Pango\_Design\_Suite\_User\_Guide*[2]
- *IP\_Compiler\_User\_Guide*[3]
- *Simulation\_User\_Guide*[4]

### 2.1 IP 简介

HSSTHP IP 是基于 HSSTHP 资源实现的一款 IP，可通过公司 PDS ( Pango Design Suite) 套件中的 IPC (IP Compiler ) 工具完成 IP 模块的配置和生成。

#### 2.1.1 主要特性

HSSTHP IP 支持的功能包括：

- 支持四条通道独立配置；
- 支持各通道独立配置“双工”、“仅发送”、“仅接收”、“关闭”工作模式；
- 支持标准协议（GE/SGMII、PCIEx1/PCIEx2/PCIEx4、XAUI）；
- 支持客户自定义协议；
- 支持 Line Rate 配置；
- 支持用户侧接口位宽配置；
- 支持 PLL 可配置；
- 支持参考时钟配置；
- 支持 8B10B 编解码使能配置；
- 支持 64B66B、64B67B 和 128B130B 透传模式配置；
- 支持 Word Alignment 使能配置及 COMMA 序列值配置；
- 支持 Channel Bonding 使能配置及 Bonding 序列值配置；
- 支持 CTC 使能配置及 CTC 操作序列值配置；

- 支持信号摆幅配置；
- 支持去加重配置；
- 支持接收端 AC/DC 耦合方式配置；
- 提供可参考的 HSSTHP 复位序列。

### 2.1.2 适用器件及封装

表 2-1 HSSTHP IP 适用器件及封装

适用器件	支持封装类型
PG2T390H	ALL
PG2K400	ALL

## 2.2 IP 框图

HSSTHP IP 包括 HSSTHP、APB Bridge 和复位序列，整体框图如图 2-1 所示。HSSTHP 为器件自带的 HSSTHP IP 硬核资源，HSSTHP 内部包含 4 个 LANE 和 1 个 HPLL，其中每个 LANE 含有一个 LPLL；APB Bridge 完成用户侧 APB 总线接口到 HSSTHP 内部 4 个 LANE 和 1 个 HPLL 的 APB 接口映射；复位序列控制 HSSTHP 上电，复位和速率切换的时序流程，具体功能请参见表 2-12 常用接口列表中的复位序列接口。

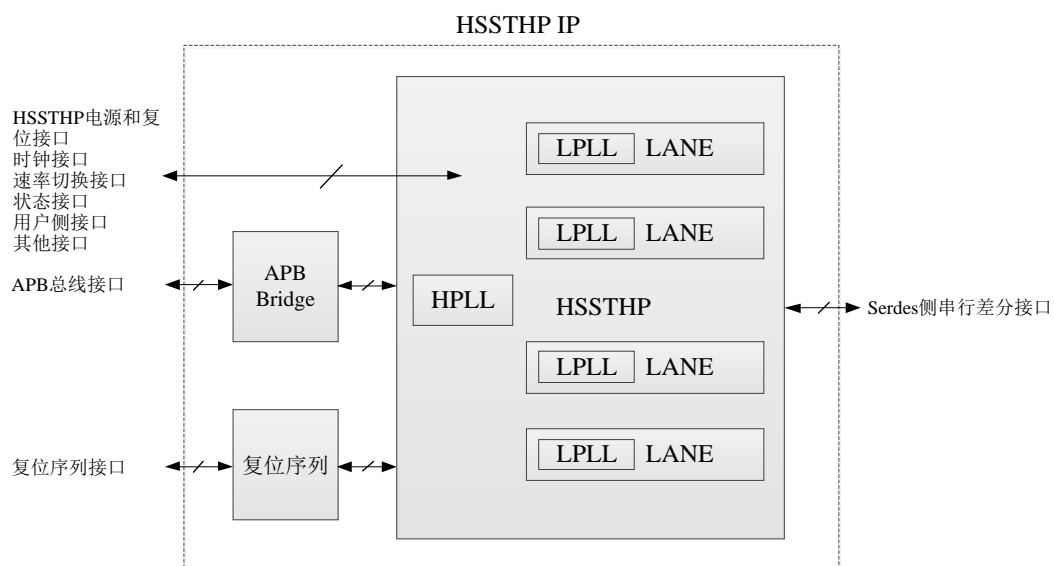


图 2-1 HSSTHP IP 结构框图

## 2.2.1 HSSTHP

HSSTHP 具体功能请参见《UG050008\_Titan2 系列 FPGA 高速串行收发器(HSSTHP) 用户指南》[8]。

## 2.2.2 APB Bridge

HSSTHP IP 内部有 4 个 LANE 和 1 个 HPLL，每个 LANE 和 HPLL 均有独立的一套配置寄存器和地址空间。为便于用户访问，IP 增加了 APB Bridge 模块，用户只需通过一个 APB 总线接口即可实现对所有 LANE 和 HPLL 的访问。

LANE 或者 HPLL 的地址总线宽度为 12bit，APB Bridge 增加了 4bit 地址作为片选信号，因此地址总线为 16bit，具体映射关系如表 2-2 所示。

表 2-2 APB 地址映射<sup>1</sup>

Address Range	Register
0x0000~0x03FF	LANE0 PCS
0x0400~0x07FF	LANE0 PMA RX
0x0800~0x0BFF	LANE0 PMA TX
0x0C00~0x0FFF	Reserved
0x1000~0x13FF	LANE1 PCS
0x1400~0x17FF	LANE1 PMA RX
0x1800~0x1BFF	LANE1 PMA TX
0x1C00~0x1FFF	Reserved
0x2000~0x23FF	LANE2 PCS
0x2400~0x27FF	LANE2 PMA RX
0x2800~0x2BFF	LANE2 PMA TX
0x2C00~0x2FFF	Reserved
0x3000~0x33FF	LANE3 PCS
0x3400~0x37FF	LANE3 PMA RX
0x3800~0x3BFF	LANE3 PMA TX
0x3C00~0x3FFF	Reserved
0x4000~0x4FFF	HPLL

## 2.2.3 复位序列

为便于用户使用 HSSTHP，提供了一个可参考的复位序列，实现上电、复位和速率

<sup>1</sup> 例如访问 RX 的 PMA LANE2 0x71 寄存器，对应十六进制地址为 0x2471。

切换,执行的时序请参见《UG050008\_Titan2 系列FPGA 高速串行收发器(HSSTHP)用户指南》[8]。

复位序列增加了 Channel Bonding 使能时的对齐操作、异常处理等功能,具体描述如下。

## 1. Channel Bonding

### (1) Tx Channel 时钟同步

用户使用 Channel Bonding 功能时,复位序列控制 P\_TX\_SYNC 端口对 Tx Channel 进行时钟同步,在端口 P\_TX\_LANE\_POWERDOWN 拉低之后执行,具体时序如图 2-2 所示。

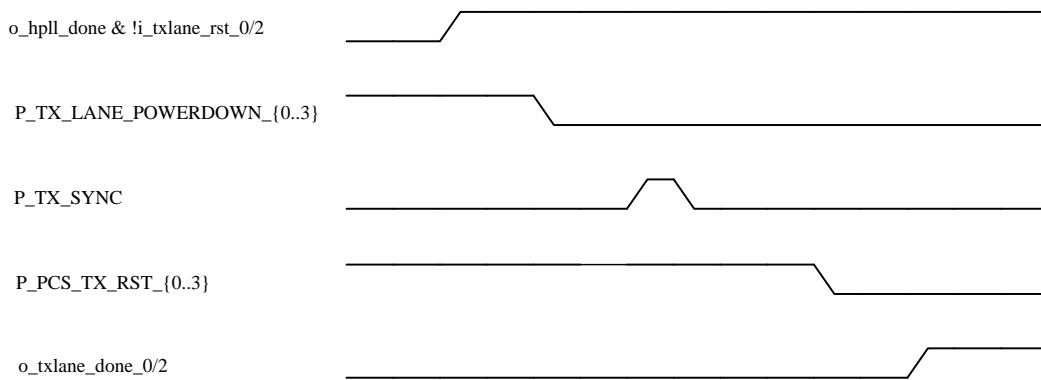


图 2-2 Channel Bonding 场景 Tx 时钟同步时序图

### (2) Rx Channel 对齐复位

用户使用 Channel Bonding 功能或多 LANE 模式时,复位序列会对 Rx Channel 进行对齐复位操作,用户通过控制 i\_hssthpfifo\_clr\_{0..3} 端口或者由内部信号 fifo\_clr\_en\_{0..3}实现,时序如图 2-3 所示。

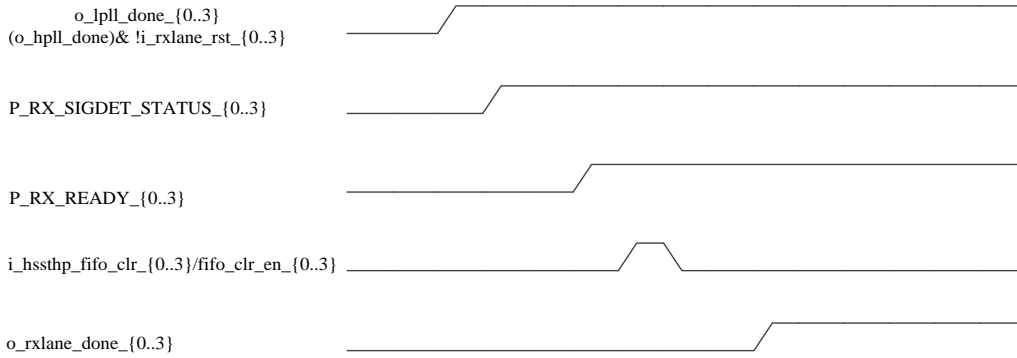


图 2-3 Channel Bonding 场景 Rx 对齐操作时序图

## 2. Error Handle

### (1) HPLL/LPLL LOCK 异常

复位序列增加了看门狗，会监控 HPLL、LPLL 的 LOCK 状态，当 HPLL、LPLL 长时间无法 LOCK 且到达看门狗阈值时，会重新对 HPLL、LPLL 执行上电复位操作。时序如图 2-4 和图 2-5 所示。

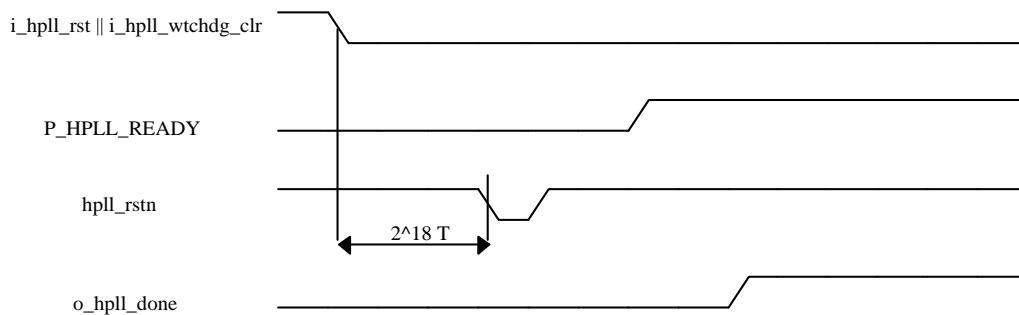


图 2-4 HPLL 长时间不 LOCK 重新上电复位时序图<sup>2</sup>

<sup>2</sup> 其中，T 表示 i\_free\_clk 的时钟周期，hpll\_rstn, lpll\_rstn\_{0..3} 是复位序列内部信号，拉低会启动对 HPLL、LPLL 执行重新上电复位流程，直到 HPLL 或 LPLL LOCK。

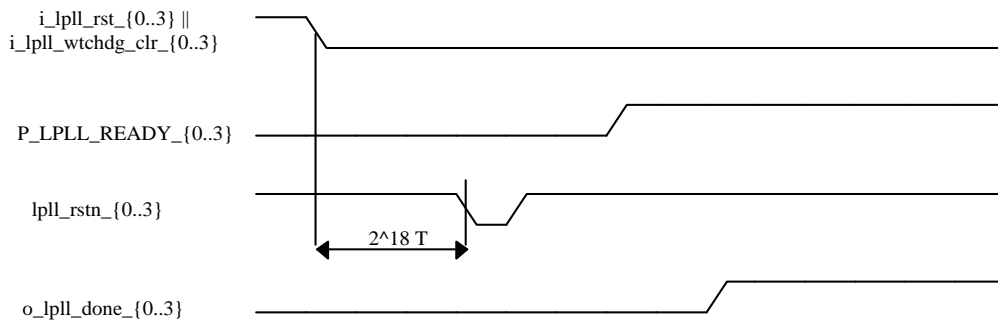


图 2-5 LPLL 长时间不 LOCK 重新上电复位时序图

## (2) Rx Channel 输入异常

正常工作过程中，当 Rx Channel 没有数据输入或者信号丢失时，信号检测指示端口 **P\_RX\_SIGDET\_STATUS\_{0..1}** 会拉低，此时复位序列会重新对 Rx PMA 执行复位解复位操作，时序如图 2-6 所示。

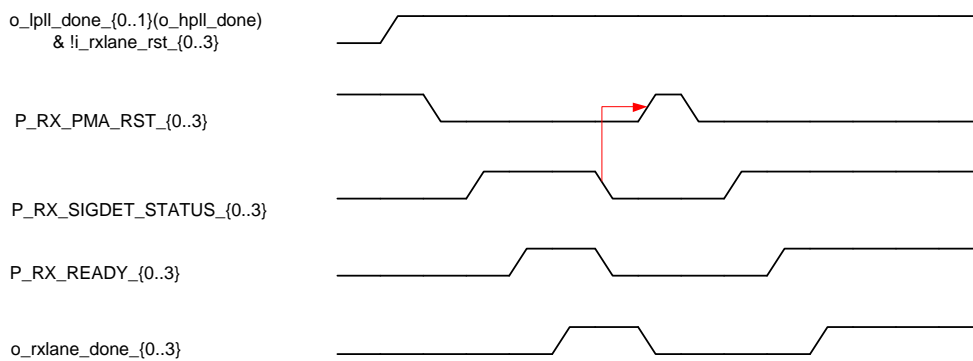


图 2-6 Rx Channel 无信号输入时的异常恢复时序图

## (3) Rx Channel CDR LOCK 异常

当 Rx Channel 的 CDR 长时间无法 LOCK 时，复位序列亦会重新对 Rx PMA 执行复位解复位操作，时序如图 2-7 所示。

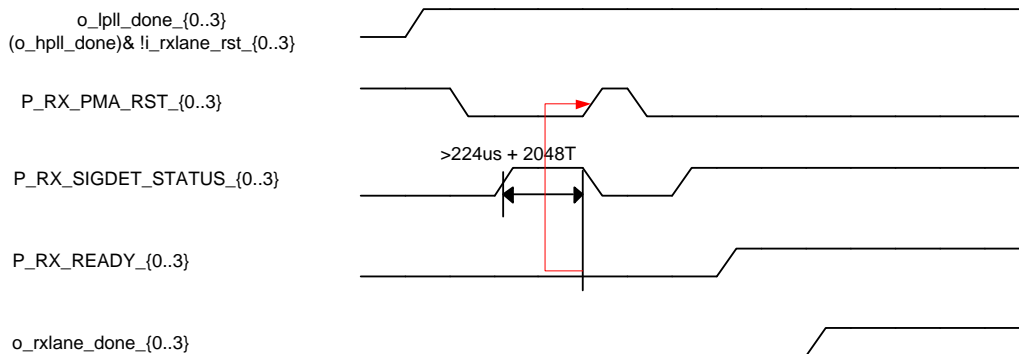


图 2-7 CDR 长时间不 LOCK 的异常恢复时序图

#### (4) CDR LOCK 异常拉低

正常工作过程中，当 Rx Channel 的 CDR 完成指示信号 P\_RX\_READY\_{0..3} 突然拉低时，复位序列亦会重新对 Rx PMA 执行复位解复位操作，时序如图 2-8 所示。

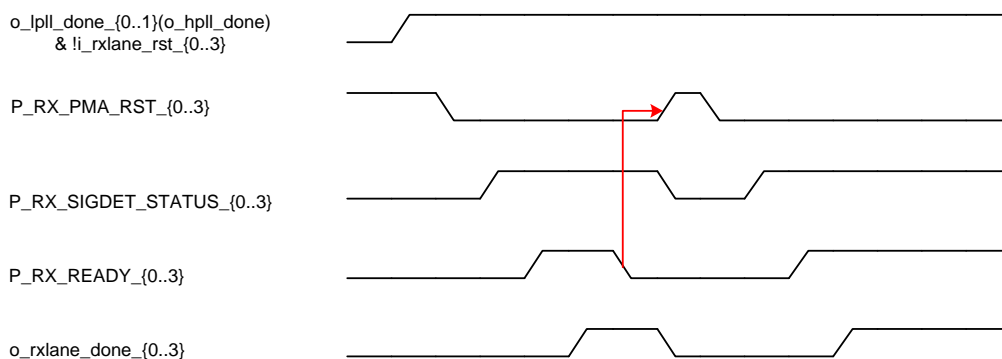


图 2-8 CDR LOCK 拉低的异常恢复时序图

#### (5) PCS Word Align 异常拉低

使能 Rx Channel PCS 的 Word Align 功能时，分为以下两种情况：

- 正常工作过程中，Word Align 完成指示信号 o\_p\_pcs\_lsm\_synced\_{0..3} 拉低时，复位序列给出的 o\_rxlane\_done\_{0..3} 信号会拉低，并一直等待 o\_p\_pcs\_lsm\_synced\_{0..3} 拉高；
- 上电过程中，Word Align 完成指示信号 o\_p\_pcs\_lsm\_synced\_{0..3} 拉低且长时间未拉高，当等待时间达到 Word Align Timer 阈值<sup>3</sup>时，复位序列亦会重新对

<sup>3</sup> 请参见“2.8.1 RXPCS Align Timer 计算方法”。

Rx PMA 执行复位解复位操作，时序如图 2-9 所示。

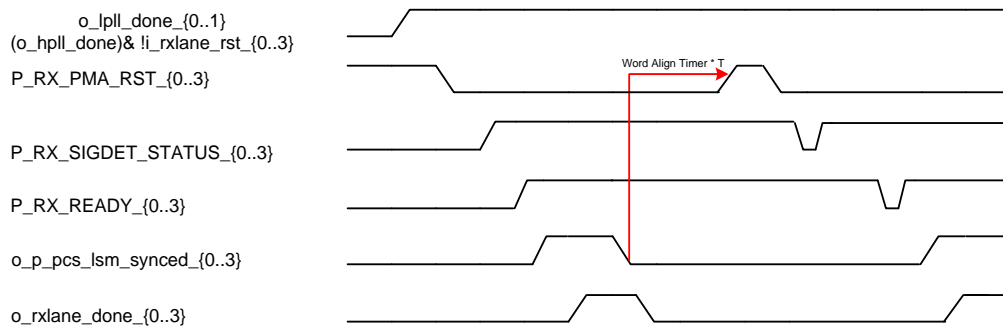


图 2-9 PCS Word Align 拉低的异常恢复时序图

## (6) Rx Channel Bonding 状态异常

使能 Rx Channel PCS 的 Channel Bonding 功能时，当 CDR 锁定信号 `P_RX_READY_{0..3}` 为 1 后，复位序列使能看门狗监控 `o_p_pcs_rx_mcb_status_{0..3}` 状态，若一直为低且等待时间达到阈值时会重新在同一时刻复位解复位处于 Channel Bonding 模式下的所有 RX Channel。

## 2.3 IP 生成流程

### 2.3.1 模块例化

通过 IPC 工具可以完成 HSSTHP IP 的定制化配置，例化生成所需的 IP 模块。关于 IPC 工具的具体使用方法，请参见 *IP\_Compiler\_User\_Guide*[3]。

HSSTHP IP 模块例化的主要操作步骤描述如下。

#### 1. 选择 IP

打开 IPC，在主窗口中点击 File->Update 打开 Update IP 对话框，添加对应版本的 IP 模型。

选择 FPGA 的器件类型之后 Catalog 界面可以显示已装载的 IP 模型。选取 System/HSSTHP 目录下对应的 IP 版本，IP 选择路径界面如图 2-10 所示。然后在右侧页面设置 Pathname 和 Instance Name 名称，工程例化界面如图 2-11 所示。

注意：

- PG2T390H：软件必须为 2021.1-SP7.2 及以上版本。
- PG2K400：软件版本请咨询 FAE。

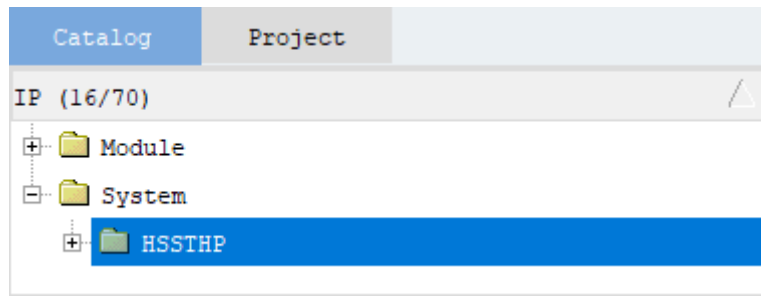


图 2-10 HSSTHP IP 选择路径界面

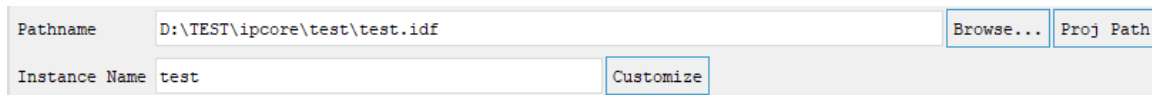


图 2-11 工程例化界面

## 2. 配置 IP 参数

IP 选择完成后点击 <Customize> 进入 HSST 参数设置界面, 左边 Symbol 为接口框图, 如图 2-12 所示; 右边为参数配置窗口, 如图 2-13 所示。

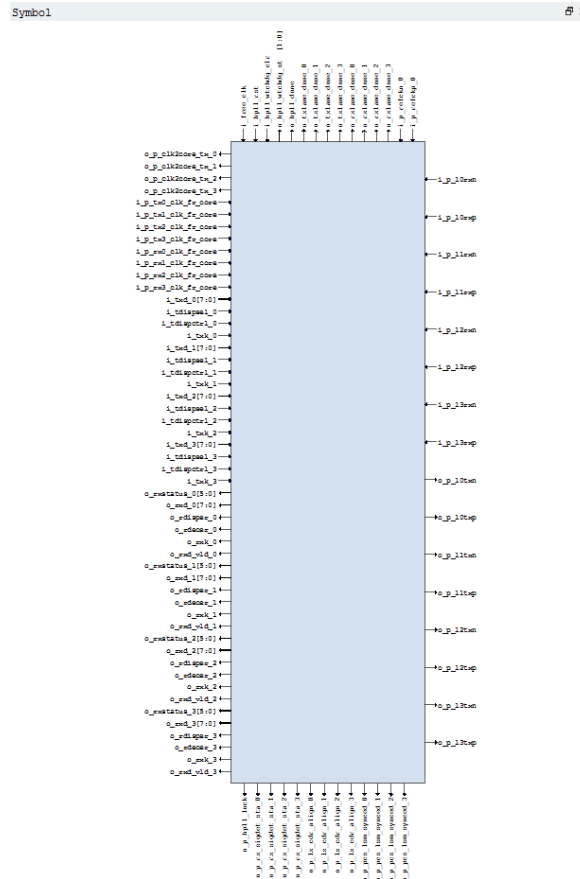


图 2-12 HSSTHP IP 接口框图

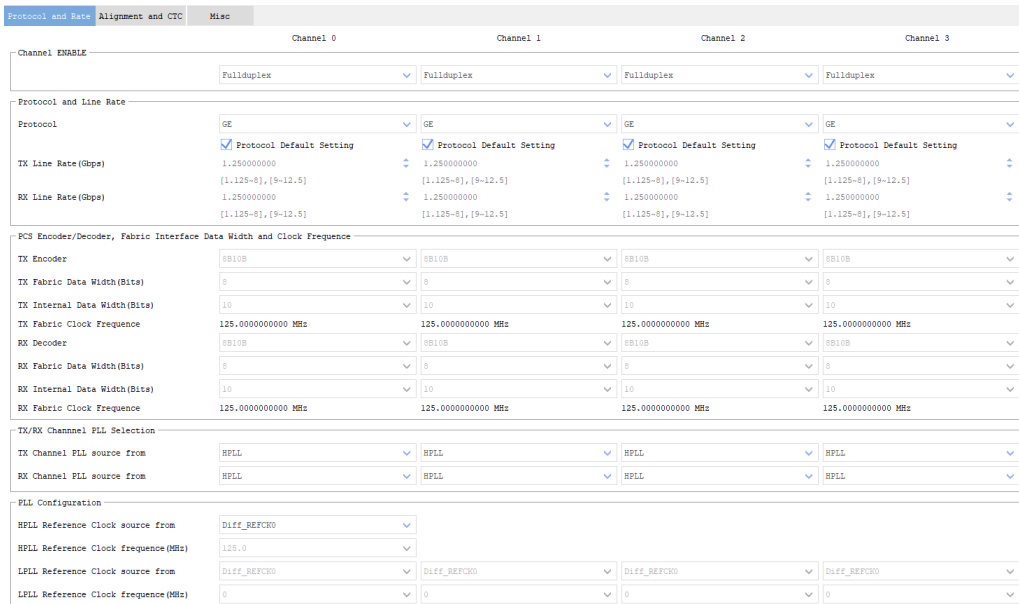


图 2-13 配置 HSSTHP IP 参数界面

参数配置分为三个页面，分别为 Protocol and Rate，Alignment and CTC 和 Misc。

HSSTHP IP 配置步骤描述如下。

### (1) Protocol and Rate 页配置

表 2-3 Protocol and Rate 页配置参数说明

参数/配置选项	参数说明
Channel ENABLE	选择 Channel 0~3 使能模式为 Fullduplex、TX_only、RX_only 或 DISABLE。 当配置为 TX_only 模式，对应 Channel 的 RX 相关参数全部关闭； 当配置为 RX_only 模式，对应 Channel 的 TX 相关参数全部关闭； 当配置为 DISABLE 模式，对应 Channel 的相关参数全部关闭；
<b>Protocol and Line Rate</b>	
Protocol	选择 Channel 0~3 协议模式为： GE、SGMII、PCIE <sub>x1</sub> 、CUSTOMERIZED <sub>x1</sub> <sup>4</sup> 、PCIE <sub>x2</sub> 、 CUSTOMERIZED <sub>x2</sub> <sup>4</sup> 、TX_CUSTOMERIZED <sub>x2</sub> <sup>4</sup> 、XAUI、PCIE <sub>x4</sub> 、 CUSTOMERIZED <sub>x4</sub> <sup>4</sup> 或 TX_CUSTOMERIZED <sub>x4</sub> <sup>4</sup> 。 上述可选协议模式，根据 1 条客户数据通道使用 SerDes 通道的数量 可分为单 Lane 模式 <sup>5</sup> 、双 Lane 模式 <sup>6</sup> 、四 Lane 模式 <sup>7</sup> 三类。 注： CUSTOMERIZED <sub>x2</sub> / <sub>x4</sub> 用于通道绑定场景，此时 TX 端串行数据同步 输出，RX 端可以配置通道之间的数据对齐模式（Channel Bonding）； 当配置 Channel 0~1 为 CUSTOMERIZED <sub>x2</sub> ，两通道配置参数绑定， 只能配置 Channel 0 参数，Channel 1 参数不可配置与 Channel 0 保持 一致，Channel 2~3 配置为 CUSTOMERIZED <sub>x2</sub> 同理； 当配置 Channel 0~3 为 CUSTOMERIZED <sub>x4</sub> ，四通道配置参数绑定， 只能配置 Channel 0 参数，Channel 1/2/3 参数不可配置，与 Channel 0 保持一致； TX_CUSTOMERIZED <sub>x2</sub> / <sub>x4</sub> 用于 TX 通道绑定场景，此时 TX 端串行 数据同步输出，RX 端通道可独立配置； 当配置 Channel 0~1 为 TX_CUSTOMERIZED <sub>x2</sub> ，两通道 TX 配置参数 绑定，只能配置 Channel 0 TX 参数，Channel 1 参数不可配置与 Channel 0 保持一致，Channel 2~3 配置为 TX_CUSTOMERIZED <sub>x2</sub> 同理； 当配置 Channel 0~3 为 TX_CUSTOMERIZED <sub>x4</sub> ，四通道 TX 配置参数 绑定，只能配置 Channel 0 TX 参数，Channel 1/2/3 参数不可配置，与 Channel 0 保持一致（TX_CUSTOMERIZED 模式只应用在 TX_FIFO Bypass 模式）。

4 CUSTOMERIZED<sub>x1</sub> 表示单 Lane 的客户定制协议模式；CUSTOMERIZED<sub>x2</sub> 表示双 Lane 的客户定制协议模式；CUSTOMERIZED<sub>x4</sub> 表示四 Lane 的客户定制协议模式；TX\_CUSTOMERIZED<sub>x2</sub> 表示双 Lane Tx 端的客户定制协议模式；TX\_CUSTOMERIZED<sub>x4</sub> 表示四 Lane Tx 端的客户定制协议模式；

5 单 lane 模式：一条客户数据通道使用 1 条 serdes，包括 GE、SGMII、PCIE<sub>x1</sub>、CUSTOMERIZED<sub>x1</sub>；

6 双 lane 模式：一条客户数据通道使用 2 条 serdes，包括 CUSTOMERIZED<sub>x2</sub>、PCIE<sub>x2</sub>；

7 四 lane 模式：一条客户数据通道使用 4 条 serdes，包括 XAUI、PCIE<sub>x4</sub> 或 CUSTOMERIZED<sub>x4</sub>；

参数/配置选项	参数说明
Protocol Default Setting	选择 Channel 0~3 是否为协议固定配置，与 Protocol 配合使用。 当 Protocol 配置为 CUSTOMERIZEDx1/x2/x4 模式，Protocol Default Setting 固定不勾选； 当 Protocol 配置为 GE、SGMII、PCIEx1、PCIEx2、XAUI 或 PCIEx4 时，可以选择是否勾选 Protocol Default Setting；当勾选时，Protocol and Rate 页和 Alignment and CTC 页对应 Channel 的全部参数不可选择。
TX Line Rate(Gbps)	配置 Channel 0~3 TX 线速率。 选择 LPLL 时：范围为 0.6~6.6Gbps； 选择 HPLL 时：范围为 1.125~12.5Gbps。
RX Line Rate(Gbps)	配置 Channel 0~3 RX 线速率。 选择 LPLL 时：范围为 0.6~6.6Gbps； 选择 HPLL 时：范围为 1.125~12.5Gbps。
<b>PCS Encoder/Decoder, Fabric Interface Data Width and Clock Frequency</b>	
TX Encoder	选择 Channel 0~3 TX 编码模式为 8B10B、64B66B_transparent、64B67B_transparent、64B66B_cau_i_transparent、128B130B_transparent 或 Bypassed。
TX Fabric Data Width(Bits)	选择 Channel 0~3 TX Fabric 数据位宽，在保证 Fabric 时钟不大于 412.5MHz 的前提下。 当配置 8B10B 编码模式，可选择数据位宽为 8/16/32/64bits； 当配置 64B66B_transparent 编码模式，可选择数据位宽为 16/32/64bits； 当配置 64B67B_transparent 编码模式，可选择数据位宽为 16/32/64bits； 当配置 64B66B_cau_i_transparent 编码模式，可选择数据位宽为 32/64bits； 当配置 128B130B_transparent 编码模式，可选择数据位宽为 32/64bits； 当配置 Bypassed 编码模式，可选择数据位宽为 8/10/16/20/32/40/64/80bits。
TX Internal Data Width(Bits)	当配置 8B10B 编码模式，可选择数据位宽为 10/20/40bits； 当配置 64B66B_transparent 编码模式，可选择数据位宽为 16/32bits； 当配置 64B67B_transparent 编码模式，可选择数据位宽为 16/32bits； 当配置 64B66B_cau_i_transparent 编码模式，可选择数据位宽为 32bits； 当配置 128B130B_transparent 编码模式，可选择数据位宽为 32bits； 当配置 Bypassed 编码模式，可选择数据位宽为 8/10/16/20/32/40bits。
TX Fabric Clock Frequency	显示 Channel 0~3 TX Fabric 时钟频率，取决于 TX Line Rate、TX Encoder 和 TX Fabric Data Width 配置。
RX Decoder	选择 Channel 0~3 RX 解码模式为 8B10B、64B66B_transparent、64B67B_transparent、64B66B_cau_i_transparent、128B130B_transparent 或 Bypassed。
RX PCS Bit Slip Trigger Mode	选择 RXPCS 移位触发模式。 当 RX 解码模式为 64B66B_transparent、64B67B_transparent、64B66B_cau_i_transparent 时有效，支持双沿触发 “PCS_BIT_SLIP_BOTH” 和上升沿触发 “PCS_BIT_SLIP_RISE”。

参数/配置选项	参数说明
RX Fabric Data Width(Bits)	选择 Channel 0~3 RX Fabric 数据位宽，在保证 Fabric 时钟不大于 412.5MHz 的前提下。 当配置 8B10B 解码模式，可选择数据位宽为 8/16/32/64bits； 当配置 64B66B_transparent 解码模式，可选择数据位宽为 16/32/64bits； 当配置 64B67B_transparent 解码模式，可选择数据位宽为 16/32/64bits； 当配置 64B66B_caui_transparent 解码模式，可选择数据位宽为 32/64bits； 当配置 128B130B_transparent 解码模式，可选择数据位宽为 32/64bits； 当配置 Bypassed 解码模式，可选择数据位宽为 8/10/16/20/32/40/64/80bits。
RX Internal Data Width(Bits)	当配置 8B10B 解码模式，可选择数据位宽为 10/20/40bits； 当配置 64B66B_transparent 解码模式，可选择数据位宽为 16/32bits； 当配置 64B67B_transparent 解码模式，可选择数据位宽为 16/32bits； 当配置 64B66B_caui_transparent 解码模式，可选择数据位宽为 32bits； 当配置 128B130B_transparent 解码模式，可选择数据位宽为 32bits； 当配置 Bypassed 解码模式，可选择数据位宽为 8/10/16/20/32/40bits。
RX Fabric Clock Frequence	显示 Channel 0~3 RX Fabric 时钟频率，取决于 RX Line Rate、RX Decoder 和 RX Fabric Data Width 配置。
<b>TX/RX Channel PLL Selection</b>	
TX Channel PLL source from	选择 TX Channel 0~3 使用的 PLL。 HPLL：选择 HPLL 的输出时钟； LPLL：选择 LPLL 的输出时钟； 当 Channel 0~3 配置为 Channel Bonding 模式时，只能选择 HPLL； 当 Channel 0~3 配置 TX Line Rate 小于 1.125Gbps，只能选择 LPLL； 当 Channel 0~3 配置 TX Line Rate 大于 6.6Gbps，只能选择 HPLL。
RX Channel PLL source from	选择 RX Channel 0~3 使用的 PLL。 HPLL：选择 HPLL 的输出时钟； LPLL：选择 LPLL 的输出时钟； 当 Channel 0~3 配置为 Channel Bonding 模式时，只能选择 HPLL； 当 Channel 0~3 配置 RX Line Rate 小于 1.125Gbps，只能选择 LPLL； 当 Channel 0~3 配置 RX Line Rate 大于 6.6Gbps，只能选择 HPLL。

参数/配置选项	参数说明
<b>PLL Configuration</b>	
HPLL Reference Clock source from	选择 HPLL 参考时钟，当 Channel 0~3 TX/RX 选择时钟来源 HPLL 时有效。 Diff_REFCK0: 选择来自差分时钟接口 i_p_refckn_0/i_p_refckp_0(PAD_REFCLKN_0/PAD_REFCLKP_0)的时钟； Diff_REFCK1: 选择来自差分时钟接口 i_p_refckn_1/i_p_refckp_1(PAD_REFCLKN_1/PAD_REFCLKP_1)的时钟； Fabric_REFCK: 选择来自 i_p_pll_ref_clk_0(P_HPLL_REF_CLK)的时钟； Diff_REFCK0_FR_LOWER: 选择来自顶部 HSSTHP 内部级联端的 PAD0 时钟； Diff_REFCK0_FR_UPPER: 选择来自低部 HSSTHP 内部级联端的 PAD0 时钟； Diff_REFCK1_FR_LOWER: 选择来自顶部 HSSTHP 内部级联端的 PAD1 时钟； Diff_REFCK1_FR_UPPER: 选择来自底部 HSSTHP 内部级联端的 PAD1 时钟。
HPLL Reference Clock frequency(MHz)	选择 HPLL 参考时钟合法值。 当 LPLL 或 HPLL 使用相同的参考时钟源，若对应的频率值不相等，会上报错误弹窗信息，不能执行 IP Generate。
LPLL Reference Clock source from	选择 Channel 0~3 LPLL 参考时钟，每个 Channel 对应一个 LPLL 配置，当 Channel 0~3 TX/RX 选择时钟来源 LPLL 时有效。 Diff_REFCK0: 选择来自差分时钟接口 i_p_refckn_0/i_p_refckp_0(PAD_REFCLKN_0/PAD_REFCLKP_0)的时钟； Diff_REFCK1: 选择来自差分时钟接口 i_p_refckn_1/i_p_refckp_1(PAD_REFCLKN_1/PAD_REFCLKP_1)的时钟； Fabric_REFCK: 选择来自 i_p_pll_ref_clk_0(P_HPLL_REF_CLK)的时钟； Diff_REFCK0_FR_LOWER: 选择来自顶部 HSSTHP 内部级联端的 PAD0 时钟； Diff_REFCK0_FR_UPPER: 选择来自低部 HSSTHP 内部级联端口的 PAD0 时钟； Diff_REFCK1_FR_LOWER: 选择来自顶部 HSSTHP 内部级联端口的 PAD1 时钟； Diff_REFCK1_FR_UPPER: 选择来自底部 HSSTHP 内部级联端口的 PAD1 时钟。
LPLL Reference Clock frequency(MHz)	选择 Channel 0~3 LPLL 参考时钟合法值。 当 LPLL 或 HPLL 使用相同的参考时钟源，若对应的频率值不相等，会上报错误弹窗信息，不能执行 IP Generate。

## (2) Alignment and CTC 页配置

表 2-4 Alignment and CTC 页配置参数说明

参数/配置选项	参数说明
<b>Word Alignment</b>	
Word Align Mode	表示选择 COMMA 对齐场景下的同步状态机。 选择 Channel 0~3 Word Align 模式为： GE_MODE: 对应 PCS_CHx_ALIGN_MODE <sup>8</sup> =1GB; XAUI_MODE: 对应 PCS_CHx_ALIGN_MODE=10GB; RAPIDIO_MODE: 对应 PCS_CHx_ALIGN_MODE=RAPIDIO; CUSTOMERIZED_MODE: 对应 PCS_CHx_ALIGN_MODE=OUTSIDE; 此时 i_p_pcs_word_align_en_{0..3}(P_PCS_WORD_ALIGN_EN[3:0]) <sup>9</sup> 接口 生效; FOUR_BYTE_ALIGN_MODE: 对应 PCS_CHx_ALIGN_MODE=OUTSIDE; 此时 i_p_4byte_align_en_{0..3} 接口和 o_p_comma_aligned_{0..3}生效; i_p_4byte_align_en_{0..3}接口表示是否使能 4byte comma 边界对齐, 高有效; o_p_comma_aligned_{0..3}接口表示输出 comma byte 边界对齐状态, 高表示对齐; Bypassed: 对应 PCS_CHx_BYPASS_WORD_ALIGN=TRUE; 仅在 RX Decoder 选择为 Bypassed 时才可以选择。
COMMA code-group select	当 Word Align 模式没有选择 Bypassed 时,选择 Channel 0~3 Word Align 的字节格式为 COMMA, K28.1, K28.5 或 K28.7; 或者选择 CUSTOMERIZED, 自定义 Word Align 的字节格式。
COMMA+ code-group(10bits)	当 Word Align 的字节格式为 CUSTOMERIZED 时,用来自定义 Channel 0~3 Word Align 的字节格式, 对应 PCS_CHx_COMMA_REG0, 和 PCS_CHx_COMMA_REG1 的反码; 定义的值需要是 10 比特二进制格式。
COMMA MASK(bin)	当 Word Align 的字节格式为 CUSTOMERIZED 时,用来自定义 Channel 0~3 Word Align 的字节格式, 对应 PCS_CHx_COMMA_MASK; 定义的值需要是 10 比特二进制格式。
<b>Channel Bonding</b>	
Channel Bonding Mode	选择 Channel 0~3 Channel Bonding 模式为： XAUI_MODE: 对应 PCS_CHx_CEB_MODE=10GB; RAPIDIO_MODE: 对应 PCS_CHx_CEB_MODE=RAPIDIO_MODE; CUSTOMERIZED_MODE: 对应 PCS_CHx_CEB_MODE=OUTSIDE; 此时, i_p_pcs_mcb_ext_en_{0..3}(P_PCS_MCB_EXT_EN[3:0])接口生

8 统一描述约束: PCS\_CHx\_\*为 HSSTHP 参数。

9 统一描述约束: 若 IP 管脚名称 i\_x 或 o\_x 后面紧跟(\*), \*表示对应的《UG050008\_Titan2 系列 FPGA 高速串行收发器(HSSTHP)用户指南》[8]上的 HSSTHP 管脚。

参数/配置选项	参数说明
	效; Bypassed: 对应 PCS_CHx_BYPASS_BONDING=TRUE; 当单 lane 模式或 RX Decoder 选择 Bypassed 时, 固定为 Bypassed。
Channel Bonding Special Code Mode	当 Channel Bonding 模式不是 Bypassed 时, 选择 Channel 0~3 Channel Bonding 模式的 A Pattern 模式;可选择 1BYTE 或者 2BYTE; 对应 PCS_CHx_APATTERN_MODE。
Channel Bonding Special Code0(bin)	当 Channel Bonding 模式不是 Bypassed 时, 选择 Channel 0~3 Channel Bonding 模式的 A Pattern 码, 第 8bit 对应参数 PCS_CHx_A_REG0_8, 第 0 到 7bit 对应参数 PCS_A_REG0_7_0。
Channel Bonding Special Code1(bin)	当 Channel Bonding 模式不是 Bypassed 时, 选择 Channel 0~3 Channel Bonding 模式的 A Pattern 码, 第 8bit 对应参数 PCS_CHx_A_REG1_8, 第 0 到 7bit 对应参数 PCS_CHx_A_REG1_7_0; 当 A Pattern 模式配置为 2BYTE 时有效。
Channel Bonding Range(UI)	当 Channel Bonding 模式不是 Bypassed 时, 选择 Channel 0~3 Channel Bonding Deskew 范围, 对应参数 PCS_CHx_CEB_DETECT_TIME。
<b>Clock Tolerance Compensation</b>	
CTC Mode	选择 Channel 0~3 增删 SKIP 字节的 CTC 模式。 GE: 按 1000GBASE-X 协议做 CTC 操作; XAUI: 按 XAUI 协议做 CTC 操作; PCIE_1BYTE: 按 PCIE 协议一字节做 CTC 操作(适用 PCIE GEN1/2); PCIE_3BYTE: 按 PCIE 协议三字节做 CTC 操作(适用 PCIE GEN1/2); PCIE_4BYTE: 按 PCIE 协议四字节做 CTC 操作(适用 PCIE GEN1/2); PCIE_GEN3: 按 PCIE GEN3 协议四字节做 CTC 操作; CUSTOMERIZED_1BYTE: 可以定制一字节, 用于 CTC 操作; CUSTOMERIZED_2BYTE: 可以定制两字节, 用于 CTC 操作; CUSTOMERIZED_4BYTE: 可以定制四字节, 用于 CTC 操作; Bypassed: 对应 PCS_CHx_BYPASS_CTC=TRUE; 当 RX Decoder 选择 Bypassed 或 TX Fabric 与 RX Fabric 时钟频率不一致时, 固定为 Bypassed。
SKIP Byte#0(9bits)	配置 Channel 0~3 第一个的 SKIP 字节; 表示解码后的数据, 9 比特二进制格式; 第 9bit 为 0 表示低 8bit 为数据字节, 为 1 表示低 8bit 为控制字节, 下同。
SKIP Byte#1(9bits)	配置 Channel 0~3 第二个的 SKIP 字节。
SKIP Byte#2(9bits)	配置 Channel 0~3 第三个的 SKIP 字节。
SKIP Byte#3(9bits)	配置 Channel 0~3 第四个的 SKIP 字节。

**(3) Misc 页配置**

表 2-5 Misc 页配置参数说明

参数/配置选项	参数说明
<b>Reset Sequence Config</b>	
Reset Sequence	选择是否是使能复位序列。
Free Clock frequency(10~100 MHz)	i_free_clk 的时钟频率配置。
RXPCS Align Timer(0~65535 cycles)	<p>当 Word Align Mode 未选择 Bypassed 时生效，对应配置 Channel 0~3 中复位序列的 CHx_RXPCS_ALIGN_TIMER 参数；</p> <p>在上电过程中从 RX 侧检测到合法信号(即 o_p_lx_cdr_align_{0..3}=1)到 Word Align 同步成功(即 o_p_pcs_lsm_synced_{0..3}=1)的时间不能超过 RXPCS_ALIGN_TIMER 个 Free Clock 周期，否则 RX 复位序列自动重启；</p> <p>当 Protocol Default Setting 没有被勾选，且 Word Align Mode 未选择 Bypassed 时，用户需要自己配置 RXPCS_ALIGN_TIMER 阈值，配置范围为 0~65535。</p>
<b>Channel Insertion Loss</b>	
TX Pre-Cursor Emphasis Enable	<p>选择 Channel 0~3 是否使能前标量配置 De-emphasis。</p> <p>不勾选：不使能前标量方式配置 De-emphasis 值；</p> <p>勾选：使能前标量方式配置 De-emphasis 值；</p> <p>对应参数 PMA_CHx_REG_PD_PRE。</p>
TX Pre-Cursor Emphasis Static Setting	<p>配置 Channel 0~3 的前标量 De-emphasis 推荐值。</p> <p>对应参数 PMA_CHx_REG_TX_CFG_PRE；</p> <p>当同时使用前标量和后标量时，PMA_CHx_REG_CFG_POST 的值加上 PMA_CHx_REG_TX_CFG_PRE 的值须小于 36。</p>
TX Post-Cursor Emphasis Enable	<p>选择 Channel 0~3 是否使能后标量配置 De-emphasis。</p> <p>不勾选：不使用后标量方式配置 De-emphasis 值；</p> <p>勾选：使用后标量方式配置 De-emphasis 值；</p> <p>对应参数 PMA_CHx_REG_TX_PD_POST。</p>
TX Post-Cursor Emphasis Static Setting	<p>配置 Channel 0~3 的后标量 De-emphasis 推荐值。</p> <p>对应参数 PMA_CHx_REG_CFG_POST；</p> <p>当同时使用前标量和后标量时，PMA_CHx_REG_CFG_POST 的值加上 PMA_CHx_REG_TX_CFG_PRE 的值须小于 36。</p>
TX FFE Dynamic Control	<p>选择 Channel 0~3 是否使能动态切换 De-emphasis。</p> <p>勾选时，使能端口 i_p_lx_deemp_ctl_{0..3}(P_TX_DEEMP)和 i_p_tx_deemp_post_sel_{0..3}(P_TX_DEEMP_POST_SEL)。</p>
TX Config Post1	<p>配置 Channel 0~3 的 Post1 后标量去加重值。</p> <p>当 TX FFE Dynamic Control 勾选时有效，配置 PMA_REG_TX_CFG_POST1 参数值。</p>

参数/配置选项	参数说明
TX Config Post2	配置 Channel 0~3 的 Post2 后标量去加重值。 当 TX FFE Dynamic Control 勾选时有效， 配置 PMA_REG_TX_CFG_POST2 参数值。
<b>Termination Resistor Calibration Config</b>	
Enable Resistor Calibration Done	表示是否使能电阻校正完成指示 o_p_calib_done 端口。 勾选：使能端口； 不勾选：不使能端口。
Tx Termination Resistor Select	配置 Channel 0~3 的 TX 侧对地电阻。 Resistor Calibration: 表示来自 HSSTHP 内部电阻校正值； 100ohm: 表示固定为 100ohm。
Rx Termination Resistor Select	配置 Channel 0~3 的 RX 侧对地电阻。 Resistor Calibration: 表示来自 HSSTHP 内部电阻校正值； 100ohm: 表示固定为 100ohm。
<b>PMA Receiver Front End Config</b>	
Rx Termination	指示 Channel 0~3 PMA Receiver Front End 方式为 external AC, internal DC。
Rx Signal Detect Vth	配置 Channel 0~3 PMA Receiver 信号检测阈值。 仅支持 72MV 配置。
<b>PMA Receiver Equalization Config</b>	
Rx Equalization Mode	表示配置 Channel 0~3 的 RX 侧均衡模式。 可配置为 LEQ 模式（默认）和 DFE 模式。
<b>APB Bus Enable</b>	
APB Bus Enable	选择是否使能 APB 总线接口。 HSSTHP IP 的 APB 命名规则为 i_xxx 或 o_xxx，与《UG050008_Titan2 系列 FPGA 高速串行收发器(HSSTHP)用户指南》[8]上描述的 HSSTHP APB 接口一一对应。
<b>Show HSSTHP Optional Pins</b>	
Show HSSTHP Optional Pins	选择是否显示 HSSTHP IP 的可选接口，具体参见“2.5.2 可选接口说明”。
<b>Show Reset Sequence Optional Pins</b>	
Show Reset Sequence Optional Pins	选择是否显示复位序列相关的可选接口，具体参见“2.5.2 可选接口说明”。

参数/配置选项	参数说明
<b>Show Advance Optional Pins</b>	
Reference Clock Dynamic Change	选择支持参考时钟动态切换仿真，该功能必须在 FAE 指导下使用。 对应参考时钟输入端口： i_p_refclk0 i_p_refclk1 i_p_refclk0_from_upper_hsst i_p_refclk1_from_upper_hsst i_p_refclk0_from_lower_hsst i_p_refclk1_from_lower_hsst 对应参考时钟配置参数： PMA_REG_HPLL_REFCLK_SEL PMA_REG_LANE0_PLL_REFCLK_SEL PMA_REG_LANE1_PLL_REFCLK_SEL PMA_REG_LANE2_PLL_REFCLK_SEL PMA_REG_LANE3_PLL_REFCLK_SEL PMA_REG_HSST_LAST_REFCLK0_SEL PMA_REG_HSST_NEXT_REFCLK0_SEL PMA_REG_HSST_LAST_REFCLK1_SEL PMA_REG_HSST_NEXT_REFCLK1_SEL 勾选：开放参数与端口； 不勾选：不开放参数与端口。
Channel Bonding Clock Dynamic Sync	当勾选 Reference Clock Dynamic Change 时有效，表示 2 个 HSST 级联时，支持时钟同步控制端口动态切换仿真，该功能必须在 FAE 指导下使用。 对应端口： i_p_tx_sync_from_upper_hsst i_p_tx_sync_from_lower_hsst i_p_refclk_sync_from_upper_hsst i_p_refclk_sync_from_lower_hsst i_p_div_sync_from_upper_hsst i_p_div_sync_from_lower_hsst 勾选：开放端口； 不勾选：不开放端口。
Reset Sequence HPLL/LPLL Dynamic Select	表示 Channel 0~3 的复位序列是否支持 HPLL/LPLL 动态切换，该功能必须在 FAE 指导下使用。 TX{0..3} HPLL/LPLL Select 表示是否使能端口 i_pll_tx_sel_{0..3}； i_pll_tx_sel_{0..3} 为 0，表示选择 HPLL； i_pll_tx_sel_{0..3} 为 1，表示选择 LPLL； RX{0..3} HPLL/LPLL Select 表示是否使能端口 i_pll_rx_sel_{0..3}； i_pll_rx_sel_{0..3} 为 0，表示选择 HPLL； i_pll_rx_sel_{0..3} 为 1，表示选择 LPLL。

参数/配置选项	参数说明
8b10b Extend Full Width Port	表示 Channel 0~3 是否支持 8b10b 数据端口扩展，该功能必须在 FAE 指导下使用。 TX{0..3} 8b10b Extend Port 表示在原有数据端口基础上增加 Tx 8B10B 模式 64bit 位宽数据端口； RX{0..3} 8b10b Extend Port 表示在原有数据端口基础上增加 Rx 64B66B 模式 64bit 位宽数据端口。
64b66b Extend Full Width Port	表示 Channel 0~3 是否支持 64b66b 数据端口扩展，该功能必须在 FAE 指导下使用。 TX{0..3} 64b66b Extend Port 表示在原有数据端口基础上增加 64B66B_transparent 模式 64bit 位宽数据端口； RX{0..3} 64b66b Extend Port 表示在原有数据端口基础上增加 Rx 64B66B_transparent 模式 64bit 位宽数据端口。

**注意：**

当 8b10b Extend Full Width Port 和 64b66b Extend Full Width Port 中有 1 个勾选时，使能端口 `i_p_tx_data_sel_{0..3}` 或 `i_p_rx_data_sel_{0..3}`。端口定义如下：

- 01：表示当前 IP 界面配置扩展的 8b10b 64bit 接口数据有效；
- 10：表示当前 IP 界面配置扩展的 6466b\_transparent 64bit 接口数据有效；
- 00/11：表示当前 IP 界面配置的初始数据类型有效，不包含 8b10b 或 6466b。

其中，`i_p_rx_data_sel_{0..3}` 为 01 时，对应 IP 复位序列会监控 Rx Word Align 状态。

### 3. 生成 IP

参数配置完成后，点击左上角的 <Generate> 按钮，即可生成相应于用户特定设置的 HSSTHP IP 代码。生成 IP 的信息报告界面如下图所示。

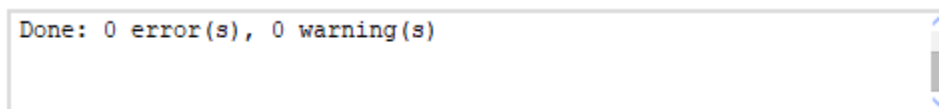


图 2-14 HSSTHP IP 生成报告界面

**注意：**

IP 自带生成的.pds 文件和.fdc 文件仅供参考，使用时请根据实际的管脚连接更改管脚约束。

成功生成 IP 后会在图 2-11 中指定的 Project 路径下输出表 2-6 所示文件。

表 2-6 HSSTHP IP 生成后的输出文件

输出文件 <sup>10</sup>	说明
\$instname.v	所生成 IP 的顶层.v 文件。
\$instname.idf	所生成 IP 的配置文件。
/rtl/ipm2t_hssthp_wrapper_*.v	HSSTHP 模块的顶层.v 文件。
/rtl/ipm2t_hssthp_apb_bridge_*.v	APB 总线访问相关.v 文件。
/rtl/ipm2t_hssthp_rst/*.v	复位序列相关全部.v 文件。
/example_design/*/*.v	用于参考设计或者 IP 仿真的.v 文件。
/pnr/core_only/\$instname.pds	所生成 IP 核的工程文件，作为用户工程的参考。
/pnr/core_only/\$instname.fdc	所生成 IP 核的约束参考文件，作为用户工程的参考。
/pnr/example_design/pango_hssthp_top.pds	Example Design 的工程文件，作为用户工程的参考 <sup>11</sup> 。
/pnr/example_design/pango_hssthp_top.fdc	Example Design 的约束参考文件，作为用户工程的参考。
/sim/modelsim/pango_hssthp_top_sim.do	对生成的 Example Design 进行 ModelSim 仿真的 do 脚本文件。
/sim/modelsim/pango_hssthp_top_wave.do	对生成的 Example Design 进行 ModelSim 仿真的 do 波形文件。
/sim/modelsim/sim.bat	对生成的 Example Design 进行 ModelSim 仿真的自动运行脚本；运行后生成仿真结果文件 vsim_inst_tb_top.log <sup>12</sup> 。
/sim/modelsim/pango_hssthp_top_filelist.f	对生成的 Example Design 进行 ModelSim 仿真所需的.v 文件列表。
/rev_1	综合报告默认输出路径。（该文件夹仅在指定综合工具后才会生成）
readme.txt	readme 文件，描述 IP 生成后，生成目录的结构。

<sup>10</sup> \$instname 是用户输入的例化名；“\*”为通配符，代替同一类型的文件名。

<sup>11</sup> 注：当前版本不支持使用外部 PLL 场景仿真。

<sup>12</sup> 注：当 IP 配置为非“双工”模式，或者 TX/RX 速率不一致，不支持仿真。

## 4. 参数描述

表 2-7 参数描述列表

页面	参数/配置选项	参数说明	IP 配置界面默认值
Protocol and Rate	Channel ENABLE	配置通道工作模式	Full duplex
	Protocol	配置通道协议	CUSTOMERIZEDx1
	Protocol Default Setting	配置是否使能默认配置	不使能
	TX Line Rate(Gbps)	配置通道 TX 线速	1.25Gbps
	RX Line Rate(Gbps)	配置通道 RX 线速	1.25Gbps
	TX Encoder	配置通道 TX 编码模式	Bypassed
	TX Fabric Data Width(Bits)	配置通道 TX 用户侧数据位宽	20
	TX Internal Data Width(Bits)	配置通道 TX 内部数据位宽	20
	TX Fabric Clock Frequency	显示 TX 用户侧工作时钟频率	62.5
	RX Decoder	配置通道 RX 编码模式	Bypassed
	RX PCS Bit Slip Trigger Mode	配置通道 RX bit 移位触发模式	PCS_BIT_SLIP_BOTH
	RX Fabric Data Width(Bits)	配置通道 RX 用户侧数据位宽	20
	RX Internal Data Width(Bits)	配置通道 RX 内部数据位宽	20
	RX Fabric Clock Frequency	显示 RX 用户侧工作时钟频率	62.5
	TX Channel PLL source from	配置 TX Channel 0~3 使用的 PLL	HPLL
	RX Channel PLL source from	配置 RX Channel 0~3 使用的 PLL	HPLL
	HPLL Reference Clock source from	配置 HPLL 参考时钟来源	Diff_REFCK0
	HPLL Reference Clock frequency(MHz)	选择 HPLL 参考时钟合法值	62.5
	LPLL Reference Clock source from	配置 LPLL 参考时钟来源	Diff_REFCK0
LPLL Reference Clock frequency(MHz)	选择 LPLL 参考时钟合法值	0	
Alignment and CTC	Word Align Mode	配置 COMMA 对齐场景下的同步状态机	Bypassed
	COMMA code-group select	配置 Word align 对齐的控制字	-
	COMMA+ code-group(10bits)	配置自定义对齐控制字	0
	COMMA MASK(bin)	配置是否屏蔽对齐字的域段	0
	Channel Bonding Mode	配置通道的 Channel Bonding 模式	Bypassed
	Channel Bonding Special Code Mode	配置 A Pattern 模式	0
	Channel Bonding Special Code0(bin)	配置 A Pattern Reg0 值	-
	Channel Bonding Special Code1(bin)	配置 A Pattern Reg1 值	-
	Channel Bonding Range(UI)	配置 Channel Bonding Deskew 范围值	-
	CTC Mode	配置 CTC 模式值	Bypassed
	SKIP Byte#0(9bits)	配置第一个 SKP 字节	-
SKIP Byte#1(9bits)	配置第二个 SKP 字节	-	

页面	参数/配置选项	参数说明	IP 配置界面默认值
	SKIP Byte#2(9bits)	配置第三个 SKP 字节	-
	SKIP Byte#3(9bits)	配置第四个 SKP 字节	-
Misc	Reset Sequence	配置是否是使能复位序列	使能
	Free Clock frequency(10~100 MHz)	配置复位序列工作时钟频率	100
	RXPCS Align Timer(0~65535 cycles)	配置 word align 使能情况下异常处理阈值	65535
	TX Pre-Cursor Emphasis Enable	配置前标量去加重使能	不使能
	TX Pre-Cursor Emphasis Static Setting	配置前标量去加重值	0
	TX Post-Cursor Emphasis Enable	配置后标量去加重使能	不使能
	TX Post-Cursor Emphasis Static Setting	配置后标量去加重值	0
	TX FFE Dynamic Control	配置 TX FFE 功能	不使能
	TX Config Post1	配置后标量 Config1 去加重值	0
	TX Config Post2	配置后标量 Config2 去加重值	0
	Enable Resistor Calibration Done	配置电阻校正完成指示 o_p_calib_done 端口	不使能
	Tx Termination Resistor Select	配置 TX 侧对地电阻	Resistor Calibration
	Rx Termination Resistor Select	配置 RX 侧对地电阻	Resistor Calibration
	Rx Termination	配置 RX 耦合方式	external AC, internal DC
	Rx Signal Detect Vth	配置 PMA Receiver 信号检测阈值	72MV
	Rx Equalization Mode	配置 RX 均衡模式	LEQ
	APB Bus Enable	配置 APB 总线接口	使能
	Show HSSTHP Optional Pins	配置显示 HSST 可选端口界面	不使能
	P_REFCK2CORE_{0..1}	配置使能端口 P_REFCK2CORE_{0..1}	不使能
	TX{0..3}_CLK2_FR_CORE	配置使能端口 TX{0..3}_CLK2_FR_CORE	不使能
	TX{0..3} Swing Control	配置使能端口 TX{0..3} Swing Control	不使能
	TX{0..3} Rate Channel Select	配置使能端口 TX{0..3} Rate Channel Select	不使能
	RX{0..3} Rate Channel Select	配置使能端口 RX{0..3} Rate Channel Select	不使能
	TX{0..3} ELECIDLE Enable	配置使能端口 TX{0..3} ELECIDLE Enable	不使能
	RX{0..3}_CLK2_FR_CORE	配置使能端口 RX{0..3}_CLK2_FR_CORE	不使能
RX{0..3}_Hi-z Control	配置使能端口 RX{0..3}_Hi-z Control	不使能	
RX{0..3} OOB Status	配置使能端口 RX{0..3} OOB Status	不使能	
RX{0..3} Detection	配置使能端口 RX{0..3} Detection	不使能	
RX{0..3}_CLK_SLIP	配置使能端口 RX{0..3}_CLK_SLIP	不使能	

页面	参数/配置选项	参数说明	IP 配置界面默认值
	RX{0..3} Polarity Invert	配置使能端口 i_p_rx_polarity_invert_{0..3}	不使能
	RX{0..3} Eye Offset Enable	配置使能端口 i_p_eye_en_{0..3}	不使能
	CH{0..3} Debug Bus	配置使能端口 CH{0..3} Debug Bus	否
	Show Reset Sequence Optional Pins	配置显示复位序列可选端口界面	不使能
	HPLL Reset	配置使能端口 i_hpll_rst	使能
	HPLL WatchDog Clear	配置使能端口 i_hpll_wtchdg_clr	使能
	HPLL Status	显示端口 o_hpll_wtchdg_st[1:0]和 o_hpll_done	使能
	Bonding WatchDog Clear	配置使能端口 i_bond_wtchdg_clr	不使能
	LPLL{0..3} Reset	配置使能端口 i_lpll_rst	不使能
	LPLL{0..3} WatchDog Clear	配置使能端口 i_lpll_wtchdg_clr	不使能
	LPLL{0..1} Status	显示端口 o_lpll_wtchdg_st[1:0]和 o_lpll_done	不使能
	TX{0..3} Reset	配置使能端口 i_txlane_rst_{0..3}	不使能
	TX{0..3} PMA Reset	配置使能端口 i_tx_pma_rst_{0..3}	不使能
	TX{0..3} PCS Reset	配置使能端口 i_tx_pcs_rst_{0..3}	不使能
	TX{0..3} Rate Change Select	配置使能端口 i_tx_rate_chng_{0..3}	不使能
	RX{0..3} Reset	配置使能端口 i_rxlane_rst_{0..3}	不使能
	RX{0..3} PMA Reset	配置使能端口 i_rx_pma_rst_{0..3}	不使能
	RX{0..3} PCS Reset	配置使能端口 i_rx_pcs_rst_{0..3}	不使能
	RX{0..3} Rate Change Select	配置使能端口 i_rx_rate_chng_{0..3} 和 i_rxckdiv_{0..3}	不使能
	RX{0..3} Debug Bus	配置使能端口 i_hsst_fifo_clr_{0..3} 和 i_loop_dbg_{0..3}[2:0]	不使能
	Show Advance Optional Pins	配置显示进阶功能可选端口界面	不使能
	Reference Clock Dynamic Change	配置使能参考时钟动态切换仿真	不使能
	Channel Bonding Clock Dynamic Sync	配置使能时钟同步控制端口切换仿真	不使能
	TX{0..3} HPLL/LPLL Select	配置使能端口 i_p_pll_tx_sel_{0..3}	不使能
	RX{0..3} HPLL/LPLL Select	配置使能端口 i_p_pll_rx_sel_{0..3}	不使能
	TX{0..3} 8b10b Extend Port	配置扩展 TX 8b10b 数据端口	不使能
	RX{0..3} 8b10b Extend Port	配置扩展 RX 8b10b 数据端口	不使能
	TX{0..3} 64b66b Extend Port	配置扩展 TX 64b66b 数据端口	不使能
	RX{0..3} 64b66b Extend Port	配置扩展 RX 64b66b 数据端口	不使能

注：“-”表示 IP 配置界面无该参数默认值。

### 2.3.2 约束配置

关于约束文件的具体配置方法，可以查阅 PDS 安装路径下相关帮助文档：

*User\_Constraint\_Editor\_User\_Guide*[5] , *Physical\_Constraint\_Editor\_User\_Guide*[6] , *Route\_Constraint\_Editor\_User\_Guide*[7]。

### 2.3.3 运行仿真

HSSTHP IP 的仿真是基于 Example Design 的 Test Bench 进行的。有关 Example Design 的详细信息请参见“2.4 Example Design”。

关于 PDS 仿真功能及第三方仿真工具的更多详细信息，可以查阅 PDS 安装路径下相关帮助文档：*Pango\_Design\_Suite\_User\_Guide*[2]，*Simulation\_User\_Guide*[4]。

### 2.3.4 综合与布局布线

PDS 综合工具和布局布线工具的相关具体用法可以查阅 PDS 安装路径下的帮助文档。

---

#### 注意：

与 IP 一起产生的 Example Design 工程文件.pds 和管脚约束文件.fdc 存放在/pnr/example\_design 目录下，需要根据实际使用的器件和 PCB 板的走线修改物理约束，具体请参见“2.8 说明与注意事项”。

---

### 2.3.5 资源利用

HSSTHP IP 基于适用器件的资源利用典型值参见表 2-8，以使用一个 HSSTHP 为例。

表 2-8 HSSTHP IP 基于适用器件的资源利用典型值

器件	配置模式	资源利用典型值			
		LUT	FF	USCM	HSST
PG2T390H	1 HSSTHP	954	448	10	1
PG2K400	1 HSSTHP	857	723	7	1

## 2.4 Example Design

本节主要介绍基于 HSSTHP IP 的 Example Design 设计方案。该方案使两个 HSSTHP IP 对接互发数据，对数据采用比特位比对的方式来验证接收侧数据是否正确。该方案可通过 APB 接口进行读写寄存器操作。

### 2.4.1 设计框图

如图 2-15 所示为 HSSTHP IP 的 Example Design 框图，采用了对接测试的方式；其中，instance\_name 表示用户在图 2-11 界面的 Instance Name 设置的 IP 名称。

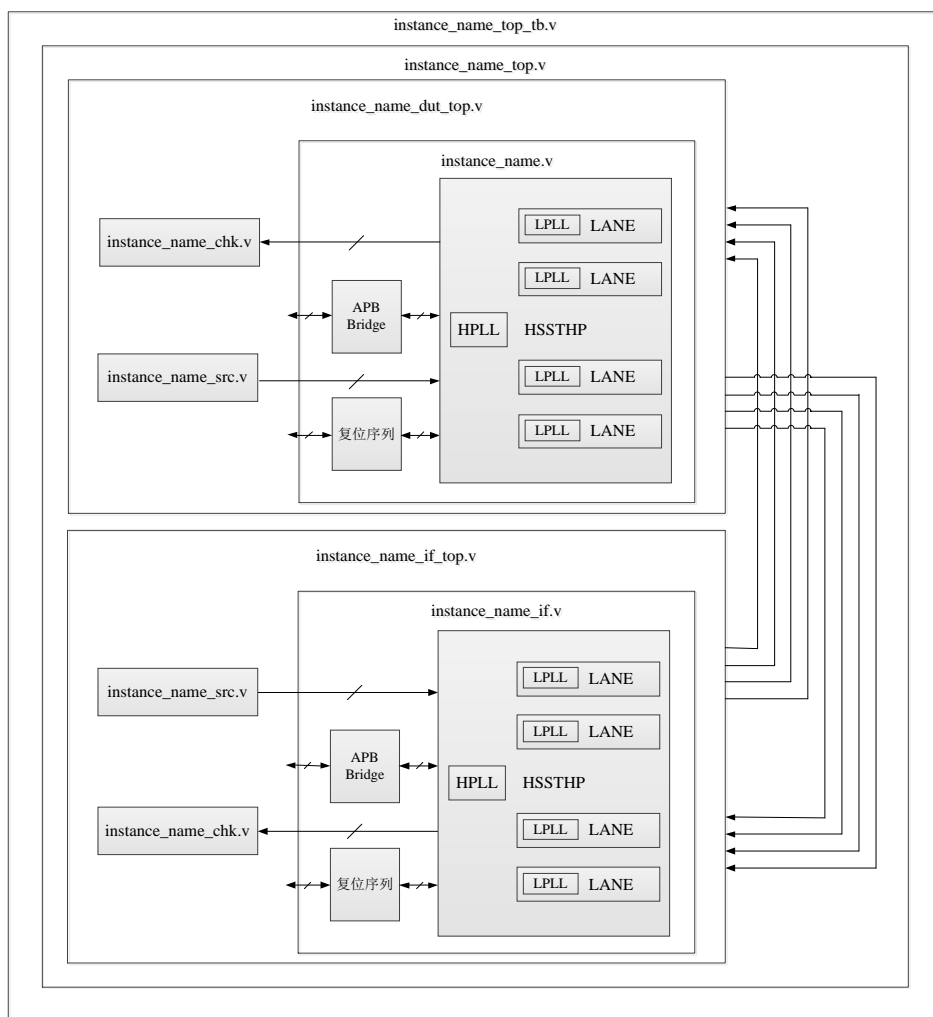


图 2-15 HSSTHP IP Example Design 框图

## 2.4.2 模块说明

### 1. Instance\_name.v 模块

根据用户在 IP 界面的配置值，生成的 IP 顶层.v 文件，包括 APB Bridge 和复位序列模块。

### 2. Instance\_name\_if.v 模块

该模块为 instance\_name.v 的镜像模块，参数配置相同，不再阐述。

### 3. Instance\_name\_src.v 模块

激励生成模块，适配不同的位宽或编码模式。

#### (1) Bypassed 模式

当 TX Encoder 和 RX Decoder 设为 Bypassed 模式，不同的位宽构造不同的 0/1 均衡循环 Pattern。

- 8bit 对应循环 Pattern: i\_txd\_{0..3} 为 8'b01\_000\_111;
- 10bit 对应循环 Pattern: i\_txd\_{0..3} 为 10'b01\_0000\_1111;
- 16bit 对应循环 Pattern: i\_txd\_{0..3} 为 {2{8'b0001\_0111}};
- 20bit 对应循环 Pattern: i\_txd\_{0..3} 为 {2{10'b00001\_01111}};
- 32bit 对应循环 Pattern: i\_txd\_{0..3} 为 {4{8'b0101\_0011}};
- 40bit 对应循环 Pattern: i\_txd\_{0..3} 为 {4{10'b00101\_00111}};
- 64bit 对应循环 Pattern: {8{8'b1010\_0011}};
- 80bit 对应循环 Pattern: {8{10'b01110\_00011}};

#### (2) 8B10B 模式

当 TX Encoder 和 RX Decoder 设为 8B10B 模式，编码前数据 i\_txd\_{0..3} 为 32bytes 格式，循环发送，具体数据格式如表 2-9 所示：

表 2-9 8B10B 使能时的数据格式

字节位置	字节内容	内容说明
byte0~3	a0_a1_a2_a3	当 Channel Bonding 使能有效时, a0= CHx_RXPCS_A_REG, 否则, a0=i0; a_{1..3}=i_{1..3};
byte4~7 byte8~11 byte12~15 byte16~19 byte20~23	i0_i1_i2_i3	i0= CHx_RXPCS_COMMA_REG0; i1=D5.6 i2=i0 i3=i1
byte24~27	s0_s1_s2_s3	s0= CHx_RXPCS_SKIP_REG0 s1= "GE" ? CHx_RXPCS_SKIP_REG1: "XAUI"? CHx_RXPCS_SKIP_REG0: "PCIE_2BYTE"? CHx_RXPCS_SKIP_REG1: "PCIE_4BYTE"? CHx_RXPCS_SKIP_REG1: "CUSTOMERIZED_1BYTE"? CHx_RXPCS_SKIP_REG0: "CUSTOMERIZED_2BYTE"? CHx_RXPCS_SKIP_REG1: "CUSTOMERIZED_4BYTE"?CHx_RXPCS_SKIP_REG1: D5.6 s2= "GE" ? CHx_RXPCS_SKIP_REG0: "XAUI"? CHx_RXPCS_SKIP_REG0: "PCIE_2BYTE"? CHx_RXPCS_SKIP_REG0: "PCIE_4BYTE"? CHx_RXPCS_SKIP_REG2: "CUSTOMERIZED_1BYTE"? CHx_RXPCS_SKIP_REG0: "CUSTOMERIZED_2BYTE"? CHx_RXPCS_SKIP_REG0: "CUSTOMERIZED_4BYTE"? CHx_RXPCS_SKIP_REG2: K28_5 s3= "GE" ? CHx_RXPCS_SKIP_REG1: "XAUI"? CHx_RXPCS_SKIP_REG0: "PCIE_2BYTE"? CHx_RXPCS_SKIP_REG1: "PCIE_4BYTE"? CHx_RXPCS_SKIP_REG3: "CUSTOMERIZED_1BYTE"? CHx_RXPCS_SKIP_REG0: "CUSTOMERIZED_2BYTE"? CHx_RXPCS_SKIP_REG1: "CUSTOMERIZED_4BYTE"? CHx_RXPCS_SKIP_REG3: D5.6 注: 条件语句判断值来自 CTC Mode (参见表 2-4)。
byte28~31	p0_p1_p2_p3	Payload 字节, 初始值为 1, 向左移位操作。

### (3) 64B66B\_transparent 模式

当 TX Encoder 和 RX Decoder 设为 64B66B\_transparent 模式, 循环发送 Pattern 如表

2-10。

表 2-10 64B66B\_transparent 模式发送 Pattern

位宽	i_txx_{0..3}	i_txd_{0..3}
16bit	{2b'01}	{2{8'b1010_1010}}
32bit	{2b'01}	{4{8'b1010_1010}}
64bit	{2b'01}	{8{8'b1010_1010}}

#### (4) 64B67B\_transparent 模式

当 TX Encoder 和 RX Decoder 设为 64B67B\_transparent 模式, 循环发送 Pattern 如表 2-11 所示。

表 2-11 64B67B\_transparent 模式发送 Pattern

位宽	i_txx_{0..3}	i_txd_{0..3}
16bit	{3b'001}	{2{8'b1010_1010}}
32bit	{3b'001}	{4{8'b1010_1010}}
64bit	{3b'001}	{8{8'b1010_1010}}

#### (5) 128B130B\_transparent 模式

当 TX Encoder 和 RX Decoder 设为 128B130B\_transparent 模式, 其中 32bit 位宽数据发送时序如图 2-16 所示。

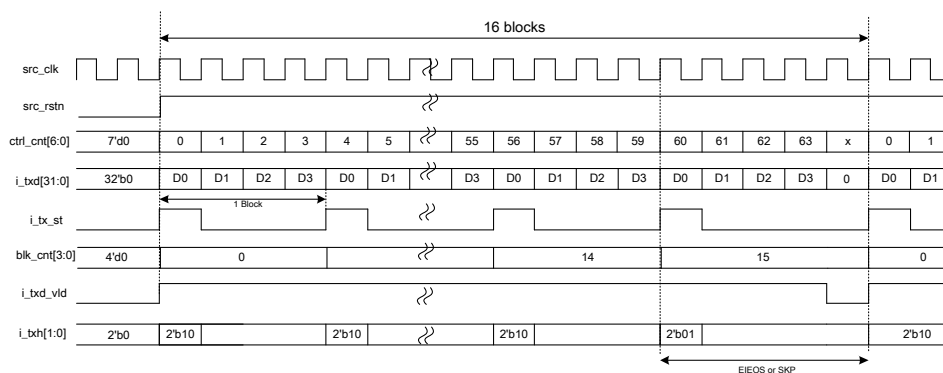


图 2-16 128B130B\_transparent 模式 32bit 位宽时序

其中, D0、D1、D2、D3 循环发送。其值如下: 第 0~14 个 block 发送数据 {32'h570ec0e1}; 第 15 个 block 发送数据如下。

- EIEOS: {4{32'hff00ff00}};
- 2 SKP: {32'h570ec0e1,32'haaaaaaaa};
- 3 SKP: {32'h9beb35e1,32'haaaaaaaa,32'haaaaaaaa};
- 4 SKP: {32'h3b76e9e1,32'haaaaaaaa,32'haaaaaaaa,32'haaaaaaaa};
- 5 SKP:  
{32'hc417cee1,32'haaaaaaaa,32'haaaaaaaa,32'haaaaaaaa,32'haaaaaaaa};
- 6 SKP:  
{32'h749edfe1,32'haaaaaaaa,32'haaaaaaaa,32'haaaaaaaa,32'haaaaaaaa,  
32'haaaaaaaa};

128B130B\_transparent 模式 64bit 位宽数据发送时序如图 2-17 所示。

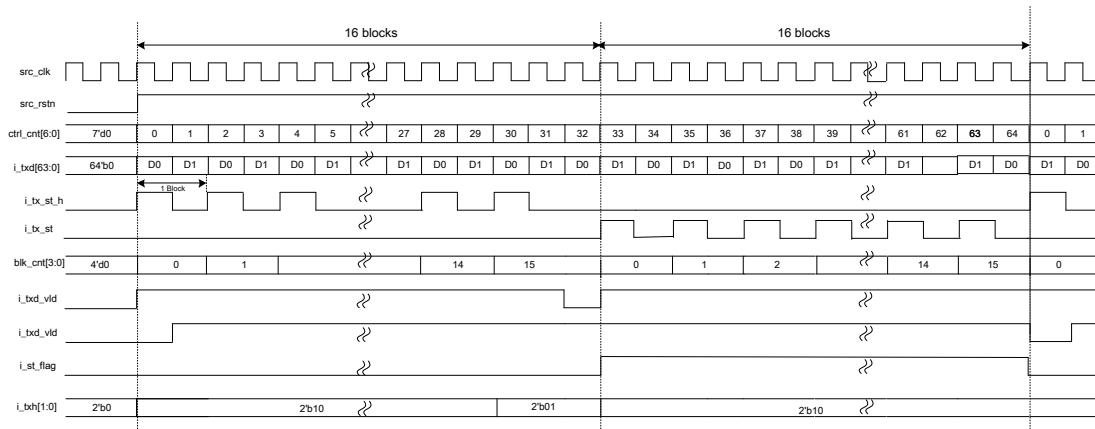


图 2-17 128B130B\_transparent 模式 64bit 位宽时序

其中, D0、D1、D2、D3 循环发送。其值如下: 第 0~14 个 block 发送数据{32'h570ec0e1}; 第 15 个 block 发送数据如下。

- EIEOS: {4{32'hff00ff00}};
- 4 SKP: {32'h3b76e9e1,32'haaaaaaaa,32'haaaaaaaa,32'haaaaaaaa};

#### (6) 64B66B\_cau\_i\_transparent 模式

当 TX Encoder 和 RX Decoder 设为 64B66B\_cau\_i\_transparent 模式, 通过两路 64B66B\_transparent 激励合并而成。

#### 4. Instance\_name\_chk.v 模块

测试检测机制模块，适配不同的位宽或编码模式。

##### (1) Bypassed 模式

当 TX Encoder 和 RX Decoder 设为 Bypassed 模式，按发送 Pattern 格式做检测，实时上报 o\_pl\_err[3:0]。

##### (2) 8B10B 模式且 Channel Bonding 不使能

当 TX Encoder 和 RX Decoder 设为 8B10B 模式，且 Channel Bonding 不使能；首先定位 Payload 字节边界，然后判断 Payload 字节是否符合预期，实时上报 o\_pl\_err[3:0]。

##### (3) 8B10B 模式且 Channel Bonding 使能

当 TX Encoder 和 RX Decoder 设为 8B10B 模式，且 Channel Bonding 使能；在检测 Payload 字节的同时，对开启 Channel Bonding 功能的 Lane 之间做 bit 级比对，确保 Lane 之间数据对齐成功，实时上报 o\_pl\_err[3:0]。

##### (4) 64B66B\_transparent 模式

当 TX Encoder 和 RX Decoder 设为 64B66B\_transparent 模式，在每个 rxh\_start 信号有效时检查 rxh 和 rxd 是否符合预期，若不符合则进行移位，符合预期后停止移位；完成移位操作后在每个 rxh\_vld\_{0..3} 为 1 的时刻检测 rxh\_{0..3} 是否为 2'b01 和 rxd\_{0..3} 是否为 2{8'b1010\_1010}、4{8'b1010\_1010} 或 8{8'b1010\_1010}，实时上报 o\_pl\_err[3:0]。

##### (5) 64B67B\_transparent 模式

当 TX Encoder 和 RX Decoder 设为 64B67B\_transparent 模式，在每个 rxh\_start 信号有效时检查 rxh 和 rxd 是否符合预期，若不符合则进行移位，符合预期后停止移位；完成移位操作后在每个 rxh\_vld\_{0..3} 为 1 时刻检测 rxh\_{0..3} 是否为 3'b100 和 rxd\_{0..3} 是否为 2{8'b1010\_1010}、4{8'b1010\_1010} 或 8{8'b1010\_1010}，实时上报 o\_pl\_err[3:0]。

##### (6) 128B130B\_transparent 模式

TX Encoder 和 RX Decoder 设为 128B130B\_transparent 模式时，RX 侧接收到 EIEOS 序列后完成同步并输出数据，然后再对数据和 SKP 提取进行 bit 比对，判断是否符合预

期，实时上报 o\_pl\_err[3:0]。

### (7) 64B66B\_cau\_i\_transparent 模式

64B66B\_cau\_i\_transparent 模式使能时，参照 64B66B\_transparent 模式进行检查。

### 5. Instance\_name\_dut\_top.v 模块

DUT 参考设计模块，在 IP 生成的 instance\_name.v 的基础上加入了激励生成和错误检测模块。

### 6. Instance\_name\_if\_top.v 模块

该模块为 instance\_name\_dut\_top 的镜像模块，参数配置相同，不再阐述。

### 7. Instance\_name\_top.v 模块

对接模式顶层模块，在该模块实例化 instance\_name\_dut\_top.v 和 instance\_name\_if\_top.v，把数据差分端口连接起来；并提供了仿真所需的参考时钟 i\_p\_refckp\_{0..1} 和 i\_free\_clk 时钟，实现 Tx/Rx 上电流程。

### 8. Instance\_name\_top\_tb.v 模块

对接模式的 Testbench 模块，包括仿真时长设置和测试结果判断等功能。

## 2.4.3 实例配置

该 Example Design 参数配置根据 IP 界面的配置自动生成，勿需另外配置。

## 2.4.4 实例仿真

在 Windows 系统下，IP 生成后，在 <project\_path>/sim/modelsim 路径下，双击\*.bat 文件<sup>13</sup>即可运行仿真。

---

<sup>13</sup> IP 生成后的输出文件请参见表 2-6。

## 2.5 IP 接口描述

### 2.5.1 常用接口说明

#### 1. 时钟域说明

- o\_p\_hpll\_lock 、 o\_p\_lpll\_lock\_{0..3} 、 o\_p\_rx\_sigdet\_sta\_{0..3} 、 o\_p\_lx\_cdr\_align\_{0..3} 、 o\_p\_pcs\_lsm\_synced\_{0..3} 和 o\_p\_pcs\_rx\_mcb\_status\_{0..3}的时钟在内部生成，没有给到用户侧，用户可将其视为异步信号处理；
- master 通道说明：四条通道 Channel Bonding 模式下，Channel0 是 master 通道，两条通道 Channel Bonding 模式下，Channel0 和 Channel1 Bonding 时 Channel0 是 master 通道，Channel2 和 Channel3 Bonding 时 Channel2 是 master 通道；
- rxclk 在 CTC 开启时来源于通道 TX 端的 o\_p\_clk2core\_tx，在 Channel Bonding 功能开启时来源于 master 通道的 o\_p\_clk2core\_rx 或 o\_p\_clk2core\_tx（CTC 开启时为 o\_p\_clk2core\_tx），其余情况是来源于该通道的 o\_p\_clk2core\_rx；
- txclk 在 Channel Bonding 功能开启时来源于 master 通道的 o\_p\_clk2core\_tx，否则来源于该通道的 o\_p\_clk2core\_tx。

#### 2. 常用接口列表

表 2-12 常用接口列表<sup>14</sup>

接口	时钟域	输入/输出	描述
复位序列接口 <sup>15</sup> （复位序列使能时有效）			
i_free_clk	clock	输入	用于复位序列逻辑的时钟，范围在 10~100MHz。
i_hpll_rst	async	输入	复位 HPLL 及驱动的 TX/RX 通道，高有效；当用户配置 HPLL 使能时端口有效； 注：复位有效保持时间大于 3 个 i_free_clk 周期。

<sup>14</sup> HSSTHP IP 接口命名规则：

i\_\*表示输入接口，o\_\*表示输出接口；

命名中的{0..3}分别表示 0~3 的四个命名，如无特殊说明，分别对应 Channel 0~3，后面的参数命名遵循同样的规则。

此列表只描述常用接口，其他接口请参见“2.3.12 配置 IP 参数”、“2.5.2 可选接口说明”。

<sup>15</sup> 复位序列接口统一约束：输出信号全部为 i\_free\_clk 时钟域；如果没有特殊说明，输入信号会在复位序列逻辑内部做 i\_free\_clk 时钟域同步处理，用户需要保证寄存输入。附录复位序列可选接口也有相同的约束。

接口	时钟域	输入/输出	描述
o_hpll_done	i_free_clk	输出	HPLL 复位完成指示，高电平有效； 0：表示复位期间或 HPLL 未完成 LOCK； 1：表示 HPLL 完成 LOCK； 当用户配置 HPLL 使能时端口有效。
i_lpll_rst_{0..3}	i_free_clk	输入	复位 LPLL 及驱动的 TX/RX 通道，高有效；当用户配置 LPLL 使能时端口有效； 其中 i_lpll_rst_0 对应 Channel 0； 注：复位有效保持时间大于 3 个 i_free_clk 周期。
o_lpll_done_{0..3}	i_free_clk	输出	LPLL 复位完成指示，高电平有效； 0：表示复位期间或 LPLL 未完成 LOCK； 1：表示 LPLL 完成 LOCK； 当用户配置 LPLL 使能时端口有效。
o_txlane_done_{0..3}	i_free_clk	输出	TX 侧复位完成指示，高电平有效，可作为用户逻辑的复位信号使用，在 bonding 情景下只使用 master 通道的指示信号即可。
o_tx_ckdiv_done_{0..3}	i_free_clk	输出	TX 侧速率切换完成指示，高电平有效，在 bonding 情景下只使用 master 通道的指示信号即可。
o_rxlane_done_{0..3}	i_free_clk	输出	RX 侧复位完成指示，高电平有效，可作为用户逻辑的复位信号使用，在 bonding 情景下只使用 master 通道的指示信号即可。
o_rx_ckdiv_done_{0..3}	i_free_clk	输出	RX 侧速率切换完成指示，高电平有效，在 bonding 情景下只使用 master 通道的指示信号即可。
<b>HSSTHP 电源和复位接口（在不使用复位序列的情形下有效，使用复位序列时被复位序列功能代替）</b>			
i_p_hpllpowerdown	async	输入	对应 P_HPLL_POWERDOWN <sup>16</sup> 接口。
i_p_lpllpowerdown_{0..3}	async	输入	对应 P_LPLL_POWERDOWN 接口。
i_p_lane_pd_{0..3}	async	输入	对应 P_LANE_POWERDOWN 接口。
i_p_tx_lane_pd_{0..3}	async	输入	对应 P_TX_LANE_POWERDOWN 接口。
i_p_rx_lane_pd_{0..3}	async	输入	对应 P_RX_LANE_POWERDOWN 接口。
i_p_hpll_rst	async	输入	对应 P_HPLL_RST 接口。
i_p_lpll_rst_{0..3}	async	输入	对应 P_LPLL_RST 接口；
i_p_lane_rst_{0..3}	async	输入	对应 P_LANE_RST 接口。
i_p_tx_pma_rst_{0..3}	async	输入	对应 P_TX_PMA_RST 接口。
i_p_pcs_tx_rst_{0..3}	async	输入	对应 P_PCS_TX_RST 接口。
i_p_rx_pma_rst_{0..3}	async	输入	对应 P_RX_PMA_RST 接口。
i_p_pcs_rx_rst_{0..3}	async	输入	对应 P_PCS_RX_RST 接口。
<b>APB 接口</b>			
i_p_cfg_clk	clock	输入	对应 P_CFG_CLK 接口。
i_p_cfg_rst	i_p_cfg_clk	输入	对应 P_CFG_RST 接口。

16 P\_\*为 HSSTHP 接口，具体参见《UG050008\_Titan2 系列 FPGA 高速串行收发器(HSSTHP)用户指南》[8]上的描述，下同。

接口	时钟域	输入/输出	描述
i_p_cfg_psel	i_p_cfg_clk	输入	对应 P_CFG_PSEL 接口。
i_p_cfg_enable	i_p_cfg_clk	输入	对应 P_CFG_ENABLE 接口。
i_p_cfg_write	i_p_cfg_clk	输入	对应 P_CFG_WRITE 接口。
i_p_cfg_addr[15:0]	i_p_cfg_clk	输入	动态配置接口的地址总线，其中高 4bit 作为片选信号（地址空间映射请参见表 2-2），低 12bit 对应 P_CFG_ADDR[11:0]接口。
i_p_cfg_wdata[7:0]	i_p_cfg_clk	输入	对应 P_CFG_WDATA[7:0]接口。
o_p_cfg_rdata[7:0]	i_p_cfg_clk	输出	对应 P_CFG_RDATA[7:0]接口。
o_p_cfg_int	i_p_cfg_clk	输出	对应 P_CFG_INT 接口。
o_p_cfg_ready	i_p_cfg_clk	输出	对应 P_CFG_READY 接口。
<b>时钟接口</b>			
i_p_refckn_{0..1}	clock	输入	对应 PAD_REFCLKN_{0..1}接口。
i_p_refckp_{0..1}	clock	输入	对应 PAD_REFCLKP_{0..1}接口。
o_p_clk2core_tx_{0..3}	clock	输出	对应 P_TCLK2FABRIC 接口。
i_p_tx{0..3}_clk_fr_core	clock	输入	对应 P_TX_CLK_FR_CORE 接口。
i_p_tx{0..3}_clk2_fr_core	clock	输入	对应 P_TCLK2_FR_CORE 接口。
o_p_clk2core_rx_{0..3}	clock	输出	对应 P_RCLK2FABRIC 接口。
i_p_rx{0..3}_clk_fr_core	clock	输入	对应 P_RX_CLK_FR_CORE 接口。
i_p_rx{0..3}_clk2_fr_core	clock	输入	对应 P_RCLK2_FR_CORE 接口。
o_p_refck2core_{0..1}	clock	输出	对应 P_REFCK2CORE_{0..1}接口。
<b>状态接口</b>			
o_p_hpll_lock	async	输出	对应 P_HPLL_READY 接口。
o_p_lpll_lock_{0..3}	async	输出	对应 P_LPLL_READY 接口。
o_p_rx_sigdet_sta_{0..3}	async	输出	对应 P_RX_SIGDET_STATUS 接口。
o_p_lx_cdr_align_{0..3}	async	输出	对应 P_RX_READY 接口。
o_p_pcs_lsm_synced_{0..3}	async	输出	对应 P_PCS_LSM_SYNCED 接口。
o_p_pcs_rx_mcb_status_{0..3}	async	输出	对应 P_PCS_RX_MCB_STATUS 接口。
<b>Serdes 侧串行差分接口</b>			
i_p_l{0..3}rxn <sup>17</sup>	async	输入	对应 P_RX_SDN 接口。
i_p_l{0..3}rxp	async	输入	对应 P_RX_SDP 接口。
o_p_l{0..3}txn	async	输出	对应 P_TX_SDN 接口。
o_p_l{0..3}txp	async	输出	对应 P_TX_SDP 接口。
<b>用户侧接口</b>			
i_txd_{0..3}[x-1:0]	txclk	输入	数据 TXD 接口，其中 x 的值与参数 TX Fabric Data Width(Bits)一致。
i_tdispse_l_{0..3}[x-1:0]	txclk	输入	用于强制 8b10b 极性和从 I2 到 I1 的强制替换。

17 表示 HSSTHP 串行差分输入输出端口，命名不同，含义一致。

接口	时钟域	输入/输出	描述
$i\_tdispctrl_{\{0..3\}}[x-1:0]$	txclk	输入	<p><math>\{i\_tdispctrl_{\{0..3\}}, i\_tdispse_{\{0..3\}}\}</math>为</p> <p>2'b00: 正常数据发送;</p> <p>2'b01: 根据 IEEE 802.3 1000BASE-X specification 协议, 实现帧尾第一个 I1/I2 的选择, 满足条件下自动实现从 I2 到 I1 的替换;</p> <p>2'b10: 强制 8b10b 编码极性为负;</p> <p>2'b11: 强制 8b10b 编码极性为正;</p> <p>接口只有当 TX Encoder 参数配置为 8B10B 才有效;</p> <p>当 TX Fabric Data Width(Bits)=8 时, <math>x=1</math>;</p> <p>当 TX Fabric Data Width(Bits)=16 时, <math>x=2</math>, 其中第 0bit 对应 <math>i\_txd_{\{0..3\}}[7:0]</math>;</p> <p>第 1bit 对应 <math>i\_txd_{\{0..3\}}[15:8]</math>;</p> <p>当 TX Fabric Data Width(Bits)=32 时, <math>x=4</math>, 其中第 0bit 对应 <math>i\_txd_{\{0..3\}}[7:0]</math>;</p> <p>第 1bit 对应 <math>i\_txd_{\{0..3\}}[15:8]</math>;</p> <p>第 2bit 对应 <math>i\_txd_{\{0..3\}}[23:16]</math>;</p> <p>第 3bit 对应 <math>i\_txd_{\{0..3\}}[31:24]</math>。</p>
$i\_txk_{\{0..3\}}[x-1:0]$	txclk	输入	<p>控制 TXK 接口, 只有当 TX Encoder 参数配置为 8B10B 才有效, 每一 bit 对应 8bits <math>i\_txd_{\{0..3\}}</math>, 对应关系参见 <math>i\_tdispse_{\{0..3\}}[x-1:0]</math>;</p> <p>1 表示 TXD 为 IEEE 802.3 1000BASE-X Specification 的 8b10b Special Code-groups;</p> <p>0 表示 TXD 为 IEEE 802.3 1000BASE-X Specification 的 8b10b Data Code-groups。</p>
$i\_txq_{\{0..3\}}[6:0]$	txclk	输入	<p>控制 TXQ 接口, 只有当 TX Encoder 参数配置为 64B66B_transparent、64B67B_transparent 才有效;</p> <p>表示用户侧 Sequence counter 输入;</p> <p>其中, [5:0]用于 64B66B_transparent, [6:0]用于 64B67B_transparent;</p> <p>具体时序参见《UG050008_Titan2 系列FPGA 高速串行收发器(HSSTHP)用户指南》[8]。</p>
$i\_txh_{\{0..3\}}[2:0]$	txclk	输入	<p>控制 TXH 接口, 只有当 TX Encoder 参数配置为 64B66B_transparent、64B67B_transparent 才有效;</p> <p>表示同步字输入;</p> <p>其中, [1:0]用于 64B66B_transparent, [2:0]用于 64B67B_transparent。</p>
$i\_tx\_st_{\{0..3\}}$	txclk	输入	<p>控制 TX_START 接口, 只有 TX Encoder 参数配置为 128B130B_transparent 才有效;</p> <p>表示每连续发送 16 block 的起始位置;</p> <p>具体时序参见《UG050008_Titan2 系列FPGA 高速串行收发器(HSSTHP)用户指南》[8]。</p>

接口	时钟域	输入/输出	描述
i_txd_vld_{0..3}	txclk	输入	控制 TXD_VLD 接口, 只有 TX Encoder 参数配置为 128B130B_transparent 才有效; 表示输入数据 TXD 有效。
i_p_rxpcs_slip_{0..3}	rxclk	输入	控制 P_PCS_BIT_SLIP 接口; 表示对数据 RXD 进行 bit 滑动操作, 可配置上升沿、下降沿和双沿触发, 触发一次数据滑动 1bit; 只有当 RX Encoder 参数配置为 64B66B_transparent、64B67B_transparent、64B66B_cau_transparent 和 128B130B_transparent 才有效。
o_rxstatus_{0..3}[5:0]	rxclk	输出	对应 P_RXSTATUS 接口, 用于表示内部 CTC AFIFO 工作状态: 6'b000_000: normal 6'b000_001: skip_add 6'b000_010: skip_remove 6'b000_101: ctc_overflow 6'b000_110: ctc_underflow others: reserved
o_rxd_{0..3}[x-1:0]	rxclk	输出	数据接口 RXD 接口, 其中 x 的值与参数 RX Fabric Data Width(Bits)一致。
o_rdisper_{0..3}[x-1:0]	rxclk	输出	RDISP_ER 接口, 只有当 RX Encoder 参数配置为 8B10B 才有效, 每一 bit 对应 8bits i_rxd_{0..3}, 对应关系参见 i_tdispse_{0..3}[x-1:0], 高电平表示 8b10b Decoder 检测到 Invalid Disparity。
o_rdecer_{0..3}[x-1:0]	rxclk	输出	RDEC_ER 接口, 只有当 RX Encoder 参数配置为 8B10B 才有效, 每一 bit 对应 8bits i_rxd_{0..3}, 对应关系参见 i_tdispse_{0..3}[x-1:0], 高电平表示 8b10b Decoder 检测到 Invalid Code。
o_rxk_{0..3}[x-1:0]	rxclk	输出	RXK 接口, 只有当 RX Encoder 参数配置为 8B10B 才有效, 每一 bit 对应 8bits i_rxd_{0..3}, 对应关系参见 i_tdispse_{0..3}[x-1:0], 1 表示 RXD 为 IEEE 802.3 1000BASE-X Specification 的 8b10b Special Code-Groups; 0 表示 RXD 为 IEEE 802.3 1000BASE-X Specification 的 8b10b Data Code-Groups。

接口	时钟域	输入/ 输出	描述
o_rxd_vld_{0..3}	rxclk	输出	对应 P_RXDVLD 接口； 只有当 RX Decoder 参数配置为 64B66B_transparent、64B67B_transparent、128B130B_transparent 和 64B66B_cau_i_transparent 时才有效； 当 RX 数据位宽为 64bit 时，每一 bit 对应 RXD 低 32bit 数据； 1 表示 RXD 数据有效； 0 表示 RXD 数据无效。
o_rxd_vld_h_{0..3}	rxclk	输出	对应 P_RXDVLD_H 接口； 只有当 RX Decoder 参数配置为 64B66B_transparent、64B67B_transparent、128B130B_transparent 和 64B66B_cau_i_transparent 时才有效； 只在 RX 数据位宽为 64bit 时才有效，每一 bit 对应 RXD 高 32bit 数据； 1 表示 RXD 高 32bit 数据有效； 0 表示 RXD 高 32bit 数据无效。
o_rhx_{0..3}[2:0]	rxclk	输出	RXH 接口，只有当 RX Decoder 参数配置为 64B66B_transparent、64B67B_transparent 和 128B130B_transparent 时才有效，每一 bit 对应的 16bit 或 32bit i_rxd_{0..3}； 表示同步字输出； 其中，[1:0]对应 64B66B_transparent； [2:0]对应 64B67B_transparent。
o_rhx_vld_{0..3}	rxclk	输出	RXH_VLD 接口，只有当 RX Decoder 参数配置为 64B66B_transparent、64B67B_transparent 和 128B130B_transparent 时才有效，每一 bit 对应 3bit o_rhx_{0..3}； 1 表示 RXH 数据有效； 0 表示 RXH 数据无效。
o_rxq_start_{0..3}	rxclk	输出	RXQ_START 接口，只有当 RX Decoder 参数配置为 64B66B_transparent、64B67B_transparent 和 128B130B_transparent 时才有效； 1 表示 RXD 数据对应的 Sequence counter 为 0 的时刻； 0 表示 RXD 数据对应的 Sequence counter 不为 0 的时刻。

## 2.5.2 可选接口说明

在 IP 的 Misc 页，还提供了勾选项用来选择 HSSTHP 和复位序列的可选接口，具体见下表。

表 2-13 Misc 页可选接口配置参数说明

参数/配置选项	参数说明	时钟域
<b>HSSTHP 可选接口 (HSSTHP Optional Pins)</b>		
P_REFCK2CORE_{0..1}	选择是否使能 o_p_refck2core_{0..1}(P_REFCK2CORE_{0..1})接口。	clock
TX{0..3}_CLK2_FR_CORE	选择是否使能 i_tx{0..3}_clk2_fr_core(P_TCLK2_FR_CORE)_{0..3}接口。	clock
TX{0..3} Swing Control	选择是否使能 i_p_lx_swing_ctl_0_{0..3}(P_TX_SWING_{0..3})接口。 当 i_p_lx_swing_ctl_0_{0..3}为： 1：表示摆幅值为 i_p_lx_margin_ctl_{0..3}[2:0]端口选择后的值的一半； 0：表示摆幅值为 i_p_lx_margin_ctl_{0..3}[2:0]端口选择后的值； 选择是否使能 i_p_lx_margin_ctl_{0..3}[2:0](P_TX_MARGIN_{0..3}[2:0]接口)； 当 i_p_lx_margin_ctl_{0..3}[2:0]为： x00：摆幅值对应参数 PMA_CHx_REG_TX_AMP_DAC0； x01：摆幅值对应参数 PMA_CHx_REG_TX_AMP_DAC1； x10：摆幅值对应参数 PMA_CHx_REG_TX_AMP_DAC2； x11：摆幅值对应参数 PMA_CHx_REG_TX_AMP_DAC3。	async
TX{0..3} Rate Channel Select	选择是否使能 HSSTHP TX 速率切换接口： i_p_tx_ckdiv_{0..3}[1:0](P_TX_RATE_{0..3}) 以下端口与 PLL{0..1}对应，详细参见《UG050008_Titan2 系列 FPGA 高速串行收发器(HSSTHP)用户指南》[8] i_p_lane_sync_{0..1}(P_TX_SYNC) i_p_rate_change_tclk_on_{0..1}(P_TX_RATE_CHANGE_ON) 当使能复位序列时，不可选。	async
RX{0..3} Rate Channel Select	选择是否使能 HSSTHP RX 速率切换接口： i_p_lx_rx_ckdiv_{0..3}[1:0](P_RX_RATE_{0..1}) 当使能复位序列时，不可选。	async
TX{0..3} ELECIDLE Enable	选择是否使能 ELECIDLE 接口： i_p_lx_elecidle_en_{0..3}[1:0]。 (低位对应 P_PCIE_EI_L_{0..3}，高位对应 P_PCIE_EI_H_{0..3})	async

参数/配置选项	参数说明	时钟域
RX{0..3}_CLK2_FR_CORE RE	选择是否使能 i_rx{0..3}_clk2_fr_core(P_RCLK2_FR_CORE){0..3}接口。	clock
RX{0..3}_Hi-z Control	选择是否使能 i_p_rx_highz_{0..3}(P_RX_HIGHZ_{0..3})接口。	async
RX{0..3} OOB Status	选择是否使能 o_p_lx_oob_sta_{0..3}(P_LX_OOB_STA_{0..3})接口。	async
RX{0..3} Detection	选择是否使能 Receiver Detect 接口： i_p_lx_rxdct_en_{0..3}(P_TX_RXDET_REQ_{0..3}) o_p_lx_rxdct_out_{0..3}(P_TX_RXDET_STATUS_{0..3})	async
RX{0..3}_CLK_SLIP	选择是否使能 i_p_pcs_word_align_en_{0..3}(P_PCS_WORD_ALIGN_EN[3:0])接口。	async
CH{0..3} Debug Bus	选择是否使能 5 种环回模式控制接口，分别是： i_p_pcs_nearend_loop_{0..3}(P_PCS_NEAREND_LOOP_{0..3})接口； i_p_pcs_farend_loop_{0..3}(P_PCS_FAREND_LOOP_{0..3})接口； i_p_pma_nearend_ploop_{0..3}(P_PMA_NEAREND_PLOOP_{0..3})接口； i_p_pma_nearend_sloop_{0..3}(P_PMA_NEAREND_SLOOP_{0..3})接口； i_p_pma_farend_ploop_{0..3}(P_PMA_FAREND_PLOOP_{0..3})接口； 具体配置方法参见《UG050008_Titan2 系列 FPGA 高速串行收发器(HSSTHP)用户指南》[8]； 选择是否使能 i_p_rx_polarity_invert_{0..3}(P_RX_POLARITY_INVERT_{0..3})接口； 选择是否使能 i_p_tx_beacon_en_{0..3}(P_TX_BEACON_EN_{0..3})接口。	async
<b>复位序列可选接口 (Reset Sequence Optional Pins)</b>		
HPLL Reset	表示是否使能 i_hpll_rst 接口，仅作展示，用户不可选； i_hpll_rst 为复位序列的 HPLL 复位接口，高有效。	async
HPLL WatchDog Clear	表示是否使能 i_hpll_wtchdg_clr 接口，仅作展示，用户不可选； i_hpll_wtchdg_clr 为复位序列内部看门狗清空信号，高有效，用于清零看门狗计数器，仅做调试使用。	Async
HPLL Status	表示是否使能 o_hpll_wtchdg_st[1:0]和 o_hpll_done 接口。 o_hpll_wtchdg_st[1:0]复位序列看门狗状态指示信号，仅做调试使用： 2'b00: 看门狗等待状态； 2'b10: 看门狗告警状态； 2'b01: 看门狗计数状态；	i_free_clk

参数/配置选项	参数说明	时钟域
	o_hpll_done 为复位序列完成中间状态，高电平 <sup>18</sup> 有效，仅做调试使用。	
Bonding WatchDog Clear	表示是否使能 i_bond_wtchdg_clr 接口。 i_bond_wtchdg_clr 为复位序列 bonding 状态指示看门狗清空信号，高有效，用于清零看门狗计数器，仅做调试使用。	async
LPLL{0..3} Reset	表示是否使能 i_lpll_rst_{0..3}接口，仅作展示，用户不可选； i_hpll_rst_{0..3}为复位序列的 LPLL 复位接口，高有效。	async
LPLL{0..3} WatchDag Clear	表示是否使能 i_lpll_wtchdg_clr_{0..3}接口，仅作展示，用户不可选； i_lpll_wtchdg_clr_{0..3}为复位序列内部看门狗清空信号，高有效，用于清零看门狗内部告警计数器，仅做调试使用。	async
LPLL{0..1} Status	表示是否使能 o_lpll_wtchdg_st_{0..3}[1:0]和 o_lpll_done_{0..3}接口。 o_lpll_wtchdg_st_{0..3}[1:0]复位序列看门狗状态指示信号，仅做调试使用： 2'b00: 看门狗等待状态； 2'b10: 看门狗告警状态； 2'b01: 看门狗计数状态； o_lpll_done_{0..3}为复位序列完成中间状态，高电平有效，仅做调试使用。	i_free_clk
TX{0..3} Reset	选择是否使能 i_txlane_rst_{0..3}接口。 i_txlane_rst_{0..3}为复位序列 TX 侧复位信号，高有效； 当 Channel 0~3 为单 lane 模式，i_txlane_rst_{0..3}独立控制 Channel 0~3； 当 Channel 0~3 为四 lane 模式，i_txlane_rst_0 控制 Channel 0~3； 当 Channel 0~1 为双 lane 模式，i_txlane_rst_0 控制 Channel 0~1； 当 Channel 2~3 为双 lane 模式，i_txlane_rst_2 控制 Channel 2~3； 当有通道与双 lane 模式的通道共用一个 PLL 时，必须同时进行复位操作。	async
TX{0..3} PMA Reset	选择是否使能 i_tx_pma_rst_{0..3}接口。 i_tx_pma_rst_{0..3}为复位序列 TXPMA 复位信号，高有效； 当 Tx Channel 0~3 为单 lane 模式，i_tx_pma_rst_{0..3}独立控制 Channel 0~3 TX PMA； 当 Tx Channel 0~3 为四 lane 模式，i_tx_pma_rst_0 控制 Channel 0~3 TXPMA； 当 Tx Channel 0~1 为双 lane 模式，i_tx_pma_rst_0 控制 Channel 0~1 TXPMA； 当 Tx Channel 2~3 为双 lane 模式，i_tx_pma_rst_2 控制	async

<sup>18</sup> 高脉冲：维持一个时钟周期的高电平，其他时刻均为低电平，下同。

参数/配置选项	参数说明	时钟域
	Channel 2~3 TXPMA。	
TX{0..3} PCS Reset	选择是否使能 i_tx_pcs_rst_{0..3} 接口。 i_tx_pcs_rst_{0..3} 为复位序列 TXPCS 复位信号，高有效； 当 Tx Channel 0~3 为单 lane 模式，i_tx_pcs_rst_{0..3} 独立控制 Channel 0~3 TX PCS； 当 Tx Channel 0~3 为四 lane 模式，i_tx_pcs_rst_0 控制 Channel 0~3 TXPCS； 当 Tx Channel 0~1 为双 lane 模式，i_tx_pcs_rst_0 控制 Channel 0~1 TXPCS； 当 Tx Channel 2~3 为双 lane 模式，i_tx_pcs_rst_2 控制 Channel 2~3 TXPCS。	async
TX{0..3} Rate Change Select	选择是否使能复位序列的 i_tx_rate_chng_{0..3}， i_txckdiv_{0..3}[1:0] 接口。 i_tx_rate_chng_{0..3} 速率切换使能，上升沿有效；当启动切速后 o_rx_ckdiv_done_{0..3} 拉高时，才能响应下一个上升沿启动切速，i_free_clk 时钟域信号； 当 Channel 0~3 为单 lane 模式，i_tx_rate_chng_{0..3} 独立控制 Channel 0~3； 当 Channel 0~3 为四 lane 模式，i_tx_rate_chng_0 控制 Channel 0~3； 当 Channel 0~1 为双 lane 模式，i_tx_rate_chng_0 控制 Channel 0~1； 当 Channel 2~3 为双 lane 模式，i_tx_rate_chng_2 控制 Channel 2~3； i_txckdiv_{0..3}[1:0] 与 P_TX_RATE [1:0] 含义一致，需要在 i_tx_rate_chng_{0..3} 上升沿到来前保持稳定，i_free_clk 时钟域信号； 来自 HPLL 的 lane 须在同一时刻进行速率切换； 当 2 条 lane 以上来自 HPLL 时，若只对单条 lane 进行速率切换，须通过 APB 接口对不进行速率切换的 lane 执行屏蔽操作，具体参见《UG050008_Titan2 系列 FPGA 高速串行收发器(HSSTHP)用户指南》[8]。	async
RX{0..3} Reset	选择是否使能 i_rxlane_rst_{0..3} 接口。 i_rxlane_rst_{0..3} 为复位序列 RX 侧复位信号，高有效； 当 CTC Mode（见参数说明）不是 Bypassed 时，若 i_tx_pma_rst_{0..3} 进行了复位操作，则 i_rxlane_rst_{0..3} 必须进行复位操作，否则会出现 CTC 模块异常； 当 Channel 0~3 为单 lane 模式，i_rxlane_rst_{0..3} 独立控制 Channel 0~3； 当 Channel 0~3 为四 lane 模式，i_rxlane_rst_0 控制 Channel 0~3； 当 Channel 0~1 为双 lane 模式，i_rxlane_rst_0 控制 Channel 0~1；	async

参数/配置选项	参数说明	时钟域
	当 Channel 2~3 为双 lane 模式，i_rxlane_rst_2 控制 Channel 2~3。	
RX{0..3} PMA Reset	选择是否使能 i_rx_pma_rst_{0..3} 接口。 i_rx_pma_rst_{0..3} 为复位序列 RXPMA 复位信号，高有效； 当 Rx Channel 0~3 为单 lane 模式，i_rx_pma_rst_{0..3} 独立控制 Channel 0~3 RXPMA； 当 Rx Channel 0~3 为四 lane 模式，i_rx_pma_rst_0 控制 Channel 0~3 RXPMA； 当 Rx Channel 0~1 为双 lane 模式，i_rx_pma_rst_0 控制 Channel 0~1 RXPMA； 当 Rx Channel 2~3 为双 lane 模式，i_tx_pma_rst_2 控制 Channel 2~3 RXPMA。	async
RX{0..3} PCS Reset	选择是否使能 i_rx_pcs_rst_{0..3} 接口。 i_rx_pcs_rst_{0..3} 为复位序列 RXPCS 复位信号，高有效； 当 Rx Channel 0~3 为单 lane 模式，i_rx_pcs_rst_{0..3} 独立控制 Channel 0~3 RXPCS； 当 Rx Channel 0~3 为四 lane 模式，i_rx_pcs_rst_0 控制 Channel 0~3 RXPCS； 当 Rx Channel 0~1 为双 lane 模式，i_rx_pcs_rst_0 控制 Channel 0~1 RXPCS； 当 Rx Channel 2~3 为双 lane 模式，i_rx_pcs_rst_2 控制 Channel 2~3 RXPCS。	async
RX{0..3} Rate Change Select	选择是否使能复位序列的 i_rx_rate_chng_{0..3} 和 i_rxckdiv_{0..3}[1:0] 接口。 i_rx_rate_chng_{0..3} 为复位序列速率切换使能，上升沿有效；当启动切速后 o_tx_ckdiv_done_{0..3} 拉高时，才能响应下一个上升沿启动切速，i_free_clk 时钟域信号； 当 CTC Mode（见参数说明）不是 Bypassed 时，由 i_tx_rate_chng_{0..3} 统一控制 TX/RX 速率切换； 当 Channel 0~3 为单 lane 模式，i_rx_rate_chng_{0..3} 独立控制 Channel 0~3； 当 Channel 0~3 为四 lane 模式，i_rx_rate_chng_0 控制 Channel 0~3； 当 Channel 0~1 为双 lane 模式，i_rx_rate_chng_0 控制 Channel 0~1； 当 Channel 2~3 为双 lane 模式，i_rx_rate_chng_2 控制 Channel 2~3； 当 Channel 0~3 有多条单 lane 或者双 lane 和单 lane 混合时，只有当工作的 Channel 对应的 o_rxlane_done_{0..3} 全部置 1 后，RX 侧才可以速率切换； i_rxckdiv_{0..3}[1:0] 与 P_RX_RATE[1:0] 含义一致，需要在 i_rx_rate_chng_{0..3} 上升沿到来前保持稳定，i_free_clk 时钟域信号。	async

参数/配置选项	参数说明	时钟域
RX{0..3} Debug Bus	<p>选择是否使能 i_hsst_fifo_clr_{0..3} 和 i_loop_dbg_{0..3}[2:0] 接口。</p> <p>i_hsst_fifo_clr_{0..3} 仅在双 lane 模式或者四 lane 模式且 Channel Bonding Mode (见参数说明) 为 Bypassed 时才有效, 可以在 o_txlane_done_{0..3} 置起后, 输入高脉冲控制清空 HSSTHP RX PCS 的内部 FIFO;</p> <p>在双 lane 或者四 lane 模式且 Channel Bonding Mode (见参数说明) 不为 Bypassed, 此时由复位序列内部信号 fifo_clr_en_{0..3} 替代;</p> <p>在复位序列使能时, i_loop_dbg_{0..3}[2:0] 用于环回配置, 须配合《UG050008_Titan2 系列 FPGA 高速串行收发器 (HSSTHP) 用户指南》[8] 定义的环回模式指导方法使用; 其中,</p> <p>i_loop_dbg_{0..3}[0] 位为 1 表示强制 IP 复位序列认为 sigdet 为高, 但不影响正常的 sigdet 状态指示, 一般用在 (包括但不限于) 近端并行环回和接收数据突发式传输等场景;</p> <p>i_loop_dbg_{0..3}[1] 位为 1 表示强制 IP 复位序列认为 cdr align 为高, 但不影响正常的 cdr align 状态指示, 一般用在 (包括但不限于) 近端并行环回和接收数据突发式传输等场景;</p> <p>i_loop_dbg_{0..3}[2] 位为 1 表示强制 IP 复位序列认为 word align 为高, 但不影响正常的 word align 状态指示, 一般用在 (包括但不限于) 使能 word align 但接收数据不包含同步头的测试数据等场景;</p> <p>非环回模式: 配置为 3'b000 (默认值);</p> <p>PMA 远端并行环回: 配置为 3'b000;</p> <p>PMA 近端并行环回: 配置为 3'b011;</p> <p>PMA 近端串行环回: 配置为 3'b000;</p> <p>PCS 远端并行环回: 配置为 3'b000;</p> <p>PCS 近端并行环回: 配置为 3'b011;</p> <p>用户逻辑环回模式: 配置为 3'b111。</p>	async

## 2.6 IP 寄存器描述

本节介绍 HSSTHP IP 相关寄存器说明及访问方式。

### 2.6.1 寄存器说明

HSSTHP 的寄存器说明请参见《UG050008\_Titan2 系列 FPGA 高速串行收发器 (HSSTHP) 用户指南》[8]。

## 2.6.2 寄存器访问

用户通过 APB 总线接口可实现对所有 LANE 和 HPLL 的配置寄存器访问，请参见“2.2.2 APB Bridge”。

## 2.7 典型应用

HSSTHP IP 的典型应用请参见“2.4 Example Design”。

## 2.8 说明与注意事项

### 2.8.1 RXPCS Align Timer 计算方法

$$\begin{aligned}
 \text{PCS\_RCLK} &= \frac{\text{LINE\_RATE Gbps} * 10^3}{\text{INNER\_WIDTH}} \text{ MHz} \\
 \text{TIME0} &= \left( \text{JUMBO\_FRAME\_LEN} * \text{JUMBO\_FRAME\_NUM} * 8 \right) * \frac{1}{\text{PCS\_RCLK}} \Bigg/ \text{INNER\_WIDTH} \\
 \text{TIME1} &= \frac{1}{\text{FREE\_CLK}} \\
 \text{RXPCS Align Timer} &= \frac{\text{TIME0}}{\text{TIME1}} = \left( \text{JUMBO\_FRAME\_LEN} * \text{JUMBO\_FRAME\_NUM} * 8 \right) * \frac{1}{\text{PCS\_RCLK}} \Bigg/ \text{INNER\_WIDTH} \Bigg/ \frac{1}{\text{FREE\_CLK}} \\
 &= \frac{\left( \text{JUMBO\_FRAME\_LEN} * \text{JUMBO\_FRAME\_NUM} * 8 \right) * \frac{1}{\text{LINE\_RATE Gbps} * 10^3} \Bigg/ \text{INNER\_WIDTH}}{\text{INNER\_WIDTH}} \Bigg/ \frac{1}{\text{FREE\_CLK}} \\
 &= \frac{\text{JUMBO\_FRAME\_LEN} * \text{JUMBO\_FRAME\_NUM} * 8 * \text{FREE\_CLK}}{\text{LINE\_RATE} * 10^3}
 \end{aligned}$$

其中：

JUMBO\_FRAME\_LEN 表示一个巨型帧长度，单位为字节。

JUMBO\_FRAME\_NUM 表示巨型帧个数。

LINE\_RATE 为线速率，单位是 Gbps。

FREE\_CLK 是自由时钟，10~100MHz。

INNER\_WIDTH 表示 HSSTHP 的 PCS 内部数据位宽。

PCS\_CLK 表示 HSSTHP 的 PCS 内部工作时钟。

## 2.8.2 时钟约束

在应用中，PDS 软件会自动将 HSSTHP 输出的时钟 o\_p\_clk2core\_tx\_{0..3}、o\_p\_clk2core\_rx\_{0..3} 约束到区域时钟或者全局时钟上，需要关注 o\_p\_clk2core\_tx\_{0..3}、o\_p\_clk2core\_rx\_{0..3} 在 PDS 布线后的时钟路径是否满足设计意图。可以通过 PDS 软件对时钟属性进行约束，也可以通过编辑.fdc 文件的时钟属性来约束。以本文的 Example Design 为例，编辑.fdc 的约束方法如下。

将时钟 o\_p\_clk2core\_tx\_{0..3} 约束到全局时钟：

```
define_attribute {t:U_INST.o_p_clk2core_tx_0} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFG}  
define_attribute {t:U_INST.o_p_clk2core_tx_1} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFG}  
define_attribute {t:U_INST.o_p_clk2core_tx_2} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFG}  
define_attribute {t:U_INST.o_p_clk2core_tx_3} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFG}
```

将时钟 o\_p\_clk2core\_tx\_{0..3} 约束到区域时钟：

```
define_attribute {t:U_INST.o_p_clk2core_tx_0} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFR}  
define_attribute {t:U_INST.o_p_clk2core_tx_1} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFR}  
define_attribute {t:U_INST.o_p_clk2core_tx_2} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFR}  
define_attribute {t:U_INST.o_p_clk2core_tx_3} {PAP_CLOCK_ASSIGN} {GTP_CLKBUFR}
```

## 2.8.3 物理位置约束

在应用中，需要根据实际单板通过 PDS 在.fdc 文件中对 HSSTHP 的 HPLL、LANE 进行物理位置约束，可以通过 PDS 软件对物理位置进行约束，也可以通过编辑.fdc 文件的物理位置来约束。以本文的 Example Design 为例，编辑.fdc 的约束方法如下。

---

### 注意：

在对 PLL 的差分时钟输入管脚进行物理位置约束时：

- PG2T390H：软件必须为 2021.1-SP7.2 及以上版本。
- PG2K400：软件版本请咨询 FAE。

约束 HSSTHP 的 HPLL、LANE0:

```
define_attribute {i:U_INST.U_GTP_HSSTHP_WRAPPER.HPLL_ENABLE.U_HPLL_WRAP.U_HPLL}
{PAP_LOC} {HSSTHP_664_918:U_HSSTHP_COMMON}

define_attribute
{i:U_INST.U_GTP_HSSTHP_WRAPPER.CHANNEL0_ENABLE.U_LANE0_WRAP.U_LANE0} {PAP_LOC}
{HSSTHP_664_918:U0_HSSTHP_LANE}
```

### 2.8.4 管脚约束

在应用中,需要根据实际单板通过 PDS 在.fdc 文件中对 HSSTHP 的 PAD\_REFCLKP、PAD\_REFCLKN 进行管脚位置约束,可以通过 PDS 软件对管脚位置进行约束,也可以通过编辑.fdc 文件的管脚位置来约束,详细参见表 2-14。

表 2-14 参考时钟管脚分布

器件型号/封装	模块名称	约束位置	对应管脚:PAD_REFCLKP/N
PG2T390H FFBG900	HSSTHP_1	HSSTHP_664_1836	PAD_REFCLKP0/N0: C8/ C7
			PAD_REFCLKP1/N1: E8/E7
	HSSTHP_2	HSSTHP_664_1530	PAD_REFCLKP0/N0: G8/ G7
			PAD_REFCLKP1/N1: J8/J7
	HSSTHP_3	HSSTHP_664_1224	PAD_REFCLKP0/N0: L8/ L7
			PAD_REFCLKP1/N1: N8/N7
	HSSTHP_4	HSSTHP_664_918	PAD_REFCLKP0/N0: R8/ R7
			PAD_REFCLKP1/N1: U8/U7
PG2K400 FFBG676	HSSTHP_1	HSSTHP_676_918	PAD_REFCLKP0/N0: R6/ R5
			PAD_REFCLKP1/N1: U6/U5
	HSSTHP_2	HSSTHP_676_612	PAD_REFCLKP0/N0: W6/ W5
			PAD_REFCLKP1/N1: AA6/AA5

### 2.8.5 仿真加速

在 IP 的仿真应用中,可以通过定义宏 IPM2T\_HSST\_SPEEDUP\_SIM 来实现加速,减少 PLL 和 CDR LOCK 的等待时间,推荐定义方法如下:

在工程的 filelist.f 文件中增加语句+define+IPM2T\_HSST\_SPEEDUP\_SIM。

## 2.8.6 电阻校正

用户使用 IP 例化工程时，在例化路径下会产生一个 Instance\_name\_tmplc.v 文件，用户手动把该内容移植到工程中，连接好对应端口，并在.fdc 文件增加物理位置约束。另外，由于电阻校正功能会用到 APB 接口，请在 IP 配置界面勾选 APB 接口。

其中，Instance\_name\_tmplc.v 端口含义如下：

表 2-15 电阻校正端口描述

接口	时钟域	输入 / 输出	描述
P_CFG_RST_HPLL	async	输入	电阻校正模块复位端口，高有效；复位仅在电阻校正期间有效。
P_CFG_CLK_HPLL	clock	输入	电阻校正模块时钟端口，接 APB 配置时钟。
p_calib_en	P_CFG_CLK_HPLL	输入	电阻校正模块使能端口，固定接 1。
p_calib_done	P_CFG_CLK_HPLL	输出	电阻校正模块完成指示信号。 1: 表示完成电阻校正； 0: 表示未完成电阻校正。

### 注意：

- 手动例化电阻校正逻辑时，需要特别关注实例化模块名及版本号；
- 当工程中例化多个 HPLL 模块时，需要用户自己把 Instance\_name\_tmplc.v 中的例化模块名适配至 HSSTHP\_4 对应的 HPLL 模块。

## 2.8.7 参考时钟切换仿真

当用户需要使用参考时钟动态切换仿真功能时，需要勾选 IP 界面 Show Advance Optional Pins 组件下面的“Reference Clock Dynamic Change”选项；此时 IP 会提供参考时钟输入端口和配置参数。需要注意的时，在此场景下，用户自行例化 GTP\_HSSTHP\_BUFDS 模块完成差分时钟转单端操作，然后给到时钟输入端口。

## 2.8.8 LPLL 复位说明

在同一个 HSSTHP 中，同时使用 LANE0/LANE1 LPLL，或者同时使用

LANE2/LANE3 LPLL，在初始化阶段复位 LPLL 后，LPLL 锁定指示拉高的情况下，则不再复位 LPLL。如果出现链路异常，仅需要复位 TX 或者 RX 通道。

## 2.9 IP 调试手段

针对用户实例化 IP 遇到的常见问题，这里列出一些定位方法。

### 2.9.1 PLL LOCK 不成功

一般地，用户通过在 fdc 文件中约束参考时钟管脚来完成 HSSTHP 的参考时钟来源配置，参见“2.8.4 管脚约束”；当出现 PLL LOCK 失败时，无论参考时钟是否共享，须先进行时钟管脚约束排查，保证约束和实际应用场景一致。

### 2.9.2 环回模式不成功

一般地，用户使用端口控制 HSSTHP 进入环回模式，需在 IP 界面勾选 CH{0..3}\_Debug\_bus 和 RX{0..3}\_Debug\_bus 选项，如果出现环回数据流收发有问题，则须排查端口 i\_loop\_dbg\_{0..3} 赋值是否符合要求，参见表 2-13。

### 2.9.3 Word Align 不成功

一般地，用户使能 HSSTHP 的 Word Align 功能，当出现 Word Align 不成功时，首先排查 RX 接收数据流是否包含 COMMA 码，然后排查所包含 COMMA 码与 IP 界面配置 COMMA 码是否匹配，最后排查 Word Align Mode 配置。

其中，CUSTOMRIZED\_MODE 表示 HSSTHP 只完成边界对齐，需要 fabric 侧实现同步状态机，GE\_MODE 适用 GE 协议，RAPIDIO\_MODE 适用 RAPIDIO 协议，其他协议则配置 XAUI\_MODE，参见表 2-4。

## 第3章 附录

### 3.1 参考文档

- [1] Pango\_Design\_Suite\_Quick\_Start\_Tutorial
- [2] Pango\_Design\_Suite\_User\_Guide
- [3] IP\_Compiler\_User\_Guide
- [4] Simulation\_User\_Guide
- [5] User\_Constraint\_Editor\_User\_Guide
- [6] Physical\_Constraint\_Editor\_User\_Guide
- [7] Route\_Constraint\_Editor\_User\_Guide
- [8] UG050008\_Titan2 系列 FPGA 高速串行收发器(HSSTHP)用户指南

### 3.2 术语表

#### A

APB      Advanced Peripheral Bus

#### C

CDR      Clock Data Recovery

CTC      Clock Tolerance Compensation

#### G

GE      1000BASE-X

#### H

HSSTHP    High Speed Serial Transceiver High Performance

## P

PCIE      PCI Express

## S

SGMII      Serial-GMII Specification

## X

XAUI      10 Gigabit Attachment Unit interface

### 3.3 缩略语表

## I

IPC      IP Compiler

## P

PDS      Pango Design Suite

### 3.4 声明

#### 3.4.1 版权声明

本文档版权归深圳市紫光同创电子有限公司所有,并保留一切权利。未经书面许可,任何公司和个人不得将此文档中的任何部分公开、转载或以其他方式披露、散发给第三方。否则,公司必将追究其法律责任。

#### 3.4.2 免责声明

1、本文档仅提供阶段性信息,所含内容可根据产品的实际情况随时更新,恕不另行通知。如因本文档使用不当造成的直接或间接损失,本公司不承担任何法律责任。

2、本文档按现状提供,不负任何担保责任,包括对适销性、适用于特定用途或非

侵权性的任何担保，和任何提案、规格或样品在他处提到的任何担保。本文档在此未以禁止反言或其他方式授予任何知识产权使用许可，不管是明示许可还是暗示许可。

3、公司保留任何时候在不事先声明的情况下对公司系列产品相关文档的修改权利。