



SALPHOENIX[®]1A 系列 FPGA ERAM 用户手册

上海安路信息科技股份有限公司

UG_902 (v1.2) 2024 年 07 月



目 录

目 录	I
1 ERAM SLICE 架构	1
1.1 ERAM20K 功能	2
1.2 ERAM20K 接口	3
2 ERAM20K 工作模式	5
版本信息	10
免责声明	11

1 ERAM SLICE 架构

SALPHOENIX®1A（以下简称 PH1A）系列 FPGA，每个 ERAM SLICE 包含两个独立的 ERAM20K。每个 ERAM SLICE 可以实现：

- 2 个 ERAM20K

ERAM SLICE 支持地址级联，以方便多个 ERAM20K 组合成更大的 Memory。地址级联可以以最小的硬件开销实现多个 ERAM 的数据并联以扩展为更大的 ERAM 块。如图 1-1 所示，级联地址由下向上传递。

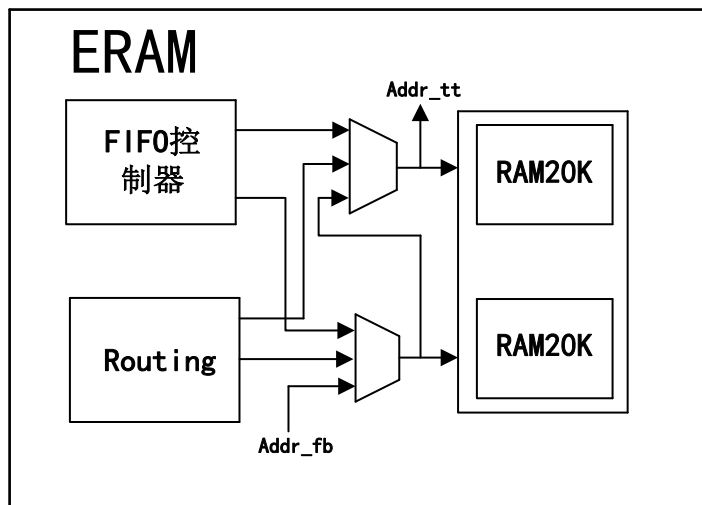


图 1-1 ERAM SLICE 架构

注：PH1A 器件不支持 FIFO 控制器。

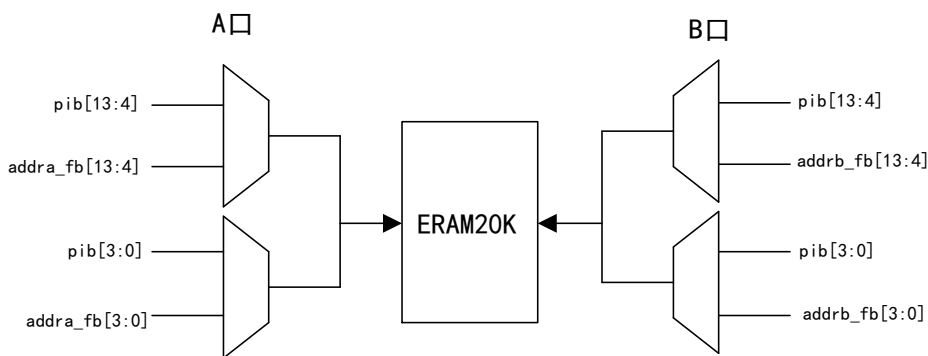


图 1-2 ERAM A/B 口地址级联示意

如图 1-2 所示，ERAM 地址级联时由 2 组独立 MUX 构成。地址<3:0>和地址<13:4>分别由一组 MUX 控制。独立的 MUX 控制可以支持多个 SLICE 使用相同 addr<13:4>的同时，使用不同的 addr<3:0>，从而实现 byteen 扩展。



1.1 ERAM20K 功能

ERAM20K 每块容量 20Kbits，可实现：

- 单口 RAM/ROM
- 双口 RAM
- 简单双口 RAM (SDP)

ERAM20K 模块支持的功能特色有：

- A/B 口时钟独立
- 可单独配置 A/B 口数据位宽，真双口从 x1 到 x20，支持 x40 简单双口（一写一读）
- 写操作时带有字节使能 (Byte Enable) 控制
- 输出寄存器可选择
- 支持 RAM/ROM 模式下数据初始化（通过初始化文件在配置过程中对 ERAM20K 数据初始化）
- 支持多种写操作模式。只写 (Write Disable Read)，先读后写 (Read Before Write)，写穿通 (Write Before Read) 三种模式。

表 1-1-1 ERAM20K 特色

类别	特性
容量	20K
配置(深度 x 位宽) 真双口	16K x 1 8K x 2 4K x 5 2K x 10 1K x 20 512 x 40 (简单双口 W40R40 模式，支持 ECC)
字节使能 (Byte enable)	有且必须 1Kx20 时 2 字节独立选择 512x40 时 4 字节独立选择
输入地址/数据寄存器 ¹	有
单口模式 (Single-port mode)	x1, x2, x5, x10, x20, x40 (AB 口组合)
简单双口模式 (Simple dual-port mode)	支持 1~40 位宽 A 口写，B 口读
真双口模式 (True dual-port mode)	x1, x2, x5, x10, x20
ECC 模式位宽	W40R40 (简单双口)：32 (DATA) +7 (ECC)
ROM 模式	支持

类别	特性
数据输出寄存器 ²	可选择有或没有，orst 可选择同步/异步，复位/置位
写模式	输出新数据（Write Before Read） 输出旧数据（Read Before Write） 输出不变（Write Disable Read）
工作前 RAM 初始化	支持

注：

1. ERAM 的输入地址、数据需要和输入时钟采用同步设计，否则可能造成 ERAM 内容异常翻转
2. 输出复位/置位功能需要配合 oce 信号使用才能生效；

1.2 ERAM20K 接口

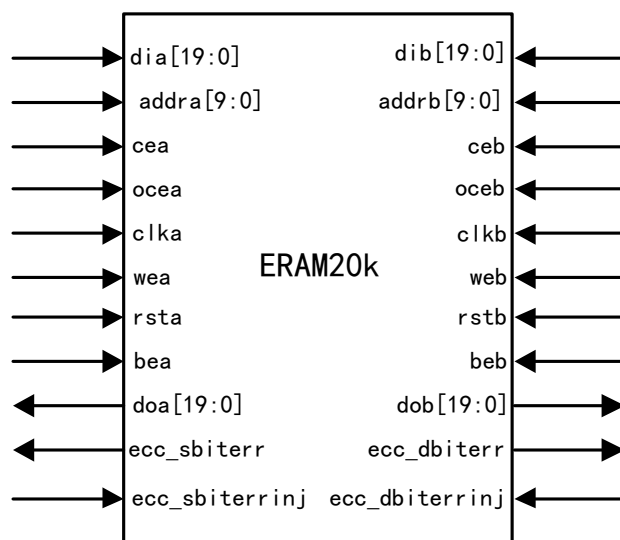


图 1-2-1 ERAM20K 模块

表 1-2-1 单个 ERAM20K 端口列表

A 端口名	位宽	方向	说明
dia	20	输入	A 端口数据输入。
addra	10	输入	A 端口地址输入，addra[1:0]复用为 byteena[1:0]。
cea	1	输入	A 端口使能，高有效。
ocea	1	输入	A 端口输出数据 DFF 时钟使能，默认高有效。只有当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。
clka	1	输入	A 端口时钟输入，默认上升沿有效。
wea	1	输入	A 端口写入/读出操作控制，1 为写入操作，0 为读出操作。
rsta	1	输入	A 端口输出寄存器复位/置位信号，默认高有效。



bea	–	输入	A 端口字节使能信号。
doa	20	输出	A 端口数据输出。
B 端口名	位宽	方向	说明
dib	20	输入	B 端口数据输入。
addrb	10	输入	B 端口地址输入，addrb[1:0]复用为 byteena[1:0]。
ceb	1	输入	B 端口使能，高有效。
oceb	1	输入	B 端口输出数据 DFF 时钟使能，默认高有效。只有当输出寄存器被使用时（REGMODE_A=“OUTREG”）才有效。
clkb	1	输入	B 端口时钟输入，默认上升沿有效。
web	1	输入	B 端口写入/读出操作控制，1 为写入操作，0 为读出操作。
rstb	1	输入	B 端口输出寄存器复位/置位信号，默认高有效。
beb	–	输入	B 端口字节使能信号。
dob	20	输出	B 端口数据输出。
控制端口	位宽	方向	说明
ecc_sbiterr	1	输出	ECC 单 bit 错误标志输出
ecc_dbiterr	1	输出	ECC 双 bit 错误标志输出
ecc_sbiterrinj	1	输入	ECC 单 bit 错误注入端口
ecc_dbiterrinj	1	输入	ECC 双 bit 错误注入端口

注：

1. 对 ERAM20K 使能双 bit 注错时，ecc_sbiterrinj 和 ecc_dbiterrinj 信号均需要拉高



2 ERAM20K 工作模式

■ RAM 存储器模式下的常见配置

a) 单口模式 (Single-Port Mode)

单口模式只使用一组端口进行访问，支持对非同时发生的对同一地址的读或写操作。ERAM20K 使用 A 口实现此方式。

ERAM20K 在单口模式下支持的位宽

- x 1 (独立的 A 口实现)
- x 2 (独立的 A 口实现)
- x 5 (独立的 A 口实现)
- x 10 (独立的 A 口实现)
- x 20 (独立的 A 口实现)
- x 40 (A 口 B 口联合实现)

b) 简单双口模式 (Simple Dual-Port Mode)

ERAM20K 简单双口模式下支持 A 口/B 口不同位宽的混合端口宽度选择。

表 2-1 简单双口模式下写位宽为 40 位时支持的混合端口位宽配置

Write Port	Read Port					
	x1	x2	x5	x10	x20	x40
x40	√	√	√	√	√	√

表 2-2 简单双口模式下读位宽为 40 位时支持的混合端口位宽配置

Read Port	Write Port					
	x1	x2	x5	x10	x20	x40
x40	√	√	√	√	√	√

c) 真双口模式 (True Dual-Port Mode)

真双口模式支持 A 口/B 口的所有独立读写操作组合：两读，两写，一读和一写。

表 2-3 真双口模式下支持的混合端口位宽配置

Port B	Port A				
	x1	x2	x5	x10	x20
x1	√	√	√	√	√
x2	√	√	√*	√*	√*



Port B	Port A				
	x1	x2	x5	x10	x20
x5	✓	✓*	✓	✓	✓
x10	✓	✓*	✓	✓	✓
x20	✓	✓*	✓	✓	✓

注：

实际使用中只能使用 2^n 位宽的端口，例如：B 端口配置为 2 位，A 端口配置为 5 位，实际 A 端口只能使用 4 位。

d) ROM 模式

ERAM20K 支持 ROM 模式。ROM 内容保存在初始化文件中，在芯片编程下载时写入 ERAM20K 中。初始化值可以在 IP 生成时用 MIF 文件设置。ROM 输出可选择带寄存器。ROM 的读出操作和单口 RAM 的读操作时序相同。

e) ECC 模式

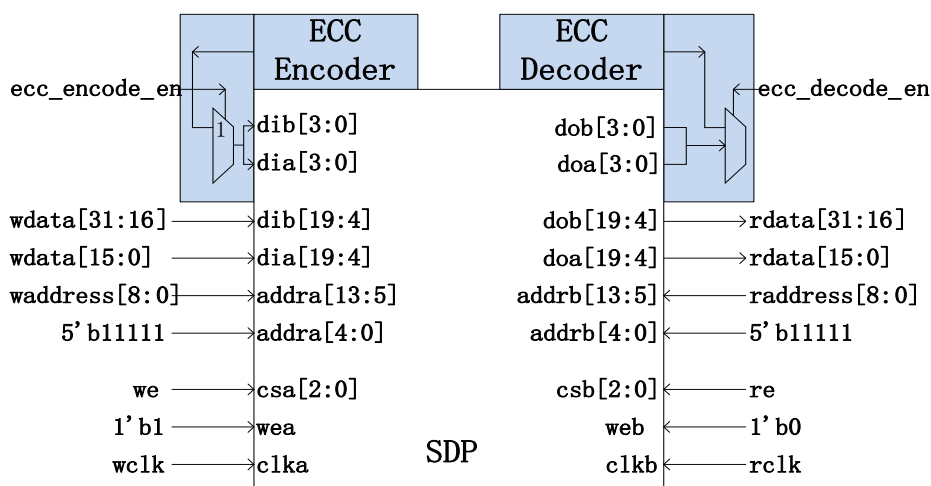


图 2-1 硬件 ECC 模块

ECC 模式，读写位宽都固定为 40 位，用户可以单独设置 ECC 编码使能（写端口），ECC 解码使能（读端口）。硬核采用 hamming 编码进行编码和译码校验。

■ 字节使能 (Byte Enable)

ERAM20K 支持字节使能功能，可在写操作时对写入数据按字节屏蔽，被屏蔽的字节不会被写入 RAM。字节写使能信号 (byteena[3:0]) 和 addra[3:0] 信号复用。

表 2-4 写使能对应写数据关系

	字节写使能	对应数据位
20 位 A 端口写	byteena[0]	dia_extra[1:0], dia[7:0]
	byteena[1]	dia_extra[3:2], dia[15:8]



	字节写使能	对应数据位
20 位 B 端口写	byteenb[0]	dib_extra[1:0], dib[7:0]
	byteenb[1]	dib_extra[3:2], dib[15:8]
40 位 A 端口写	byteena[0]	dia_extra[1:0], dia[7:0]
	byteena[1]	dia_extra[3:2], dia[15:8]
	byteena[2]	dib_extra[1:0], dib[7:0]
	byteena[3]	dib_extra[3:2], dib[15:8]

注:

用户在例化 IP 时不用考虑数据位的组合方式。

■ 写操作模式

PH1A 系列的 ERAM20K 支持多种写操作模式, 在单口 RAM 或真双口 RAM 模式下, 允许用户在写入数据的同时, 读出同一地址的数据到输出端口。其中只写模式、写穿通模式和先读后写模式只针对 dia/doa 或者 dib/dob 独立使用。

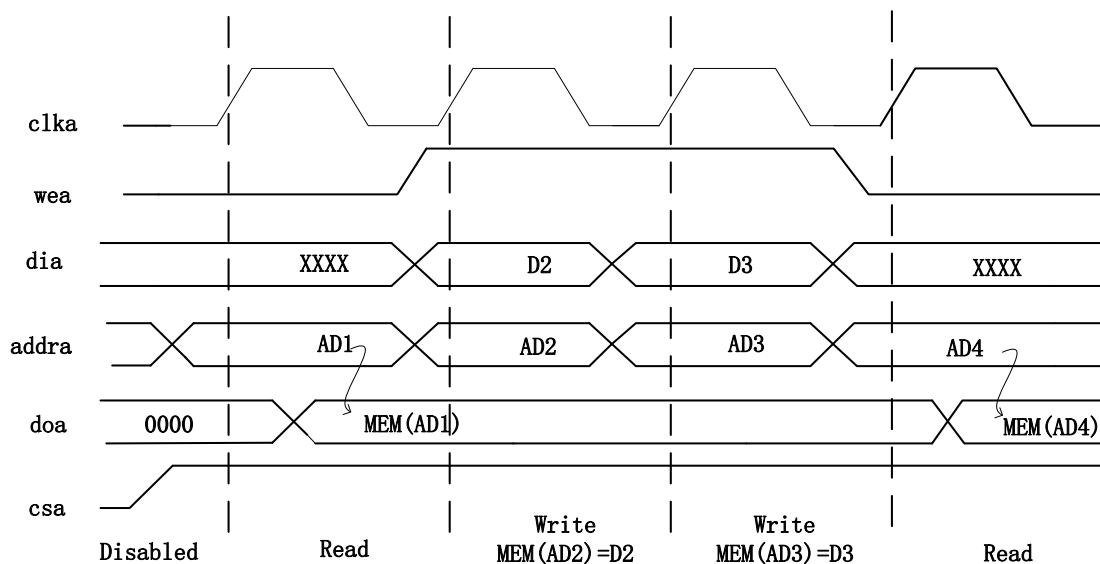


图 2-2 只写 (Write Disable Read) 模式

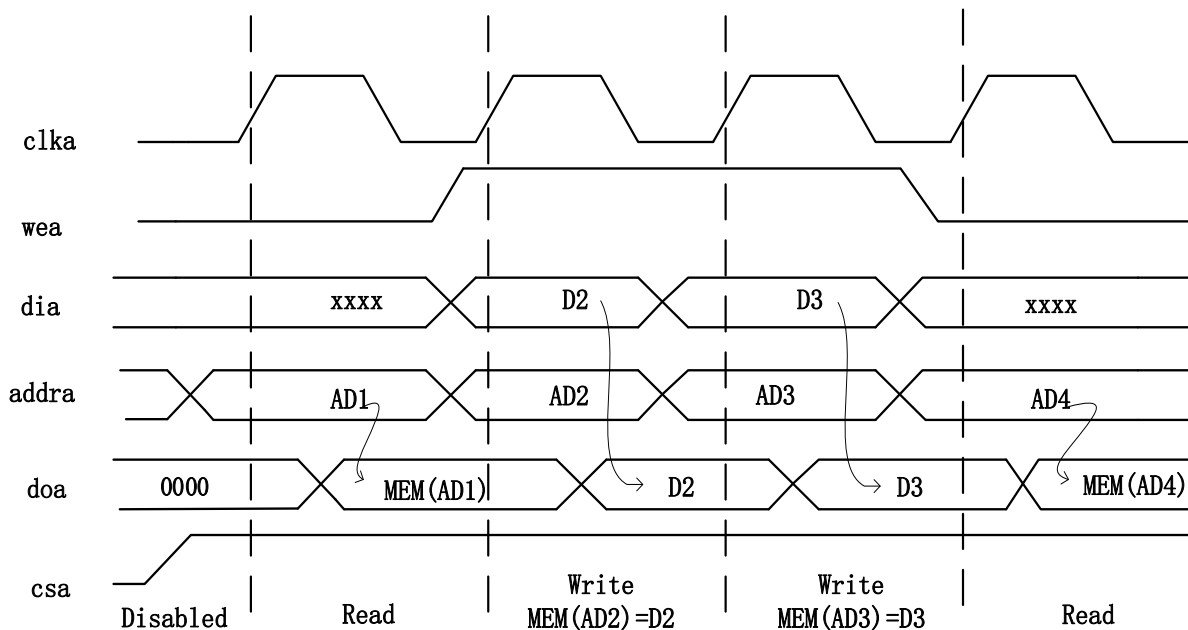


图 2-3 写穿通 (Write Before Read) 模式

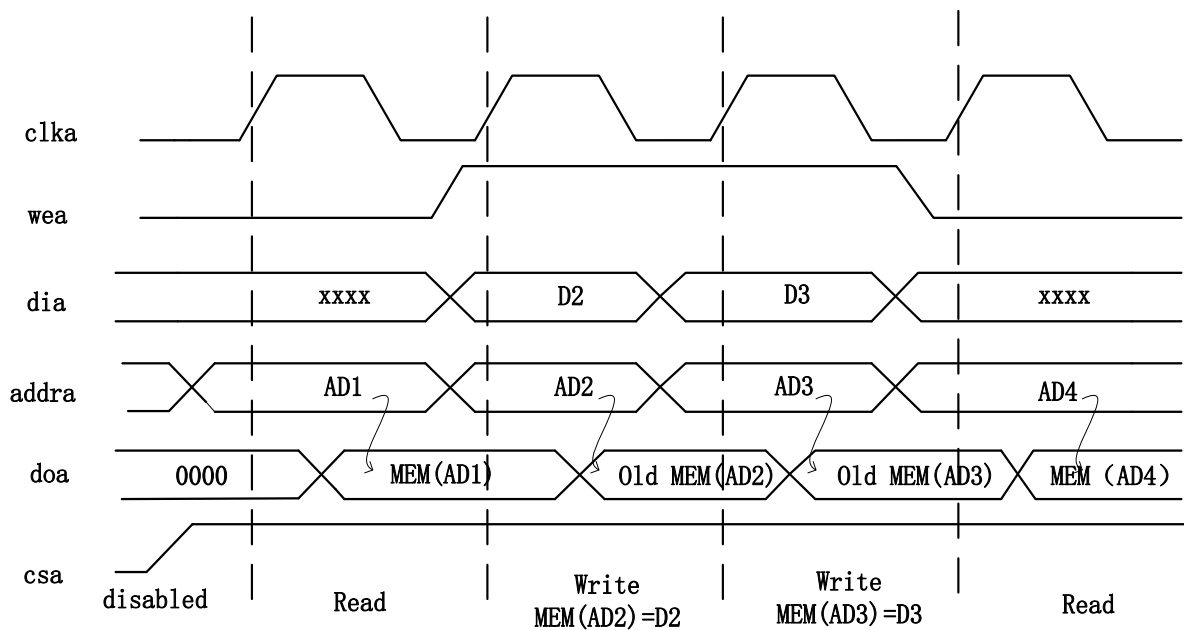


图 2-4 先读后写 (Read Before Write) 模式

注:

1. b 端口与 a 端口写操作模式时序相同。
2. 当配置输出不带寄存器时，复位模式 (RESETMODE_A/B) 只能选择异步 (“ASYNC”)，不能选择同步模式。
3. 当配置输出带寄存器时，复位模式 (RESETMODE_A/B) 可以配置为异步或者同步模式。
4. 真双口禁用 Read Before Write 模式。



■ 端口模式

表 2-5 ERAM20K 有效的端口配置

端口模式	有效端口	读写端口	ERAM20K 支持的位宽
DP (双口模式)	A/B 口都有效	A 口读和写; B 口读和写	1~20
SDP (简单双口)	A/B 口都有效	A 口只写; B 口只读	1~40

■ 模式组合

表 2-6 ERAM20K 的合法模式组合

写模式	是否支持 byte 写模 式	支持的端口 模式	不支持的端口 模式	支持的位宽	不支持的位宽
Write Disable Read	YES	SP/DP/SDP	N/A	1~40	N/A
Write Before Read	NO	SP/DP	SDP	1~20	40
Read Before Write	YES	SP/DP	SDP	1~20	40

■ 输出寄存器复位/置位

ERAM20K A/B 口输出带有可选择的输出寄存器, 可以被 orsta/b 复位为全 0 或全 1。可以设置为同步或异步复位。

■ 冲突说明

PH1A 系列的 ERAM20K 内部采用 8T-SRAM 真双口结构, 当用户从 2 个口访问同一地址 SRAM 空间时会发生冲突, 用户需要注意以下几点:

- 1、当访问同一地址空间时, 若双口同时为读操作, 双口可以完成正常读操作, SRAM 内容正常, 不会被破坏。
- 2、当访问同一地址空间时, 若一口为写、另一口为读操作, 写口可以正常写入数据, 读口读操作失败, 输出数据未知, SRAM 内容不会被破坏, 为写口写入值。
- 3、当访问同一地址空间时, 若一口为写、另一口同样为写操作, 双口写操作同时失败, SRAM 器件内数据有损坏风险。



版本信息

日期	版本	修订记录
2021/06/19	0.1	首次发布中文版
2021/06/19	0.2	删除 FIFO read ahead 相关章节描述和介绍 删除 FIFO 异步模式相关描述
2021/11/1	0.3	更新 1.2 章节 ERAM20K 接口：增加错误注入端口 ecc_sbiterrinj 和 ecc_dbiterrinj 更新 1.3 章节 FIFO 控制器端口：增加错误注入端口 ecc_sbiterrinj 和 ecc_dbiterrinj，修正端口位宽描述
2022/01/20	1.0	首次发布正式版本
2022/06/28	1.1	统一修订 PH1A400 系列名称为 PH1A 系列
2024/07/23	1.2	1. 删除 ERAM20K 支持的输出锁存器、Latch 特性，全文更新描述 2. 在表 1-1-1 ERAM20 特色后增加注 1，描述 ERAM20K 的输入信号需要和输入时钟同步的时序要求 3. 在表 1-2-1 单个 ERAM20K 端口列表后增加注 1，描述 ERAM20 进行双 bit 注错的使能要求



版权所有©2024 上海安路信息科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其他方式授予任何知识产权许可；本文档仅为向用户提供使用器件的参考，协助用户正确地使用安路科技产品之用，其著作权归安路科技所有；本文档所展示的任何产品信息均不构成安路科技对所涉产品或服务作出任何明示或默示的声明或保证。

安路科技将不定期地对本文档进行更新、修订。用户如需获取最新版本的文档，可通过安路科技的官方网站（网址为：<https://www.anlogic.com>）自行查询下载，也可联系安路科技的销售人员咨询获取